



DEUTSCHES
PATENTAMT

12 Patentschrift
11 DE 2839888 C2

51 Int. Cl. 2:

G03G 1/02

G 06 F 3/153

G 09 G 1/16

59255-02

- 21 Aktenzeichen:
22 Anmeldetag:
43 Offenlegungstag:
45 Veröffentlichungstag:

P 28 39 888.1-53
13. 9. 78
27. 3. 80
3. 6. 82

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:

Siemens AG, 1000 Berlin und 8000 München, DE

72 Erfinder:

Ziegler, Berthold, Ing.(grad.), 7500 Karlsruhe, DE

56 Entgegenhaltungen:

DE-OS	28 36 500
DE-OS	26 59 189
DE-OS	25 10 632

54 Schaltungsanordnung zum Darstellen von Symbolen auf dem Bildschirm eines Sichtgerätes

DE 2839888 C2

Patentansprüche:

1. Schaltungsanordnung zum Darstellen von Signalen als Symbole auf dem Bildschirm eines Sichtgerätes mit einem Bildspeicher, in dem die Symbole gespeichert sind, aus dem die auf dem Bildschirm jeweils dargestellten Signale zyklisch ausgelesen und über einen Videosignalgeber dem Sichtgerät zugeführt sind, wobei die Adressen des Bildspeichers aus dem Stand eines Zeilen- und eines Spaltenzählers abgeleitet sind, und in dem mehr Symbolsignale speicherbar sind, als auf dem Bildschirm gleichzeitig dargestellt sind, und mit einem Verschiebeschalter, mit dem die aufgerufenen Adressen des Bildwiederholungsspeichers veränderbar sind, und mit einem Rechner, der die Symbolzeichen in den Bildspeicher einträgt, sowie mit einem an den Verschiebeschalter angeschlossenen Adressenrechner, der aus dem Stand des Zeilenzählers und dem des Spaltenzählers sowie den Signalen des Verschiebeschalters die Adressen des Bildspeichers errechnet, in denen die jeweils darzustellenden Symbolsignale gespeichert sind, dadurch gekennzeichnet, daß einem Spalten-Verschiebezähler ($VX\ 1$, $VX\ 2$) und/oder einem Zeilen-Verschiebezähler ($VY\ 1$, $VY\ 2$), deren Inhalte (x_j , y_i) mittels des Verschiebeschalters (VSS) veränderbar sind, Torschaltungen (TY , TX) nachgeschaltet sind, die von einem Vergleicher gesteuert sind, der den Stand des Zeilen- und/oder Spaltenzählers (ZX , ZY) mit vorgegebenen Werten vergleicht und bei Übereinstimmung ein Sperrsignal auf die Torschaltungen gibt.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Vergleicher einen Speicher (RMX , RMV ; PMX , PMY) enthält, dem der Stand (y_k , x_l) des Zeilen- und/oder des Spaltenzählers als Adresse zugeführt ist und an dessen Ausgang eine Koinzidenzschaltung ($KG\ 1$; $KG\ 2$) angeschlossen ist, die bei Adressierung von markierten Zellen des Speichers (RMV , RMX ; PMY , PMX) die Torschaltung ($T\ 1$; $T\ 2$) sperrt.

3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Speicher (RMX , RMV) wahlweise einschreibbar oder auslesbar ist und sein Adreßeingang über Umschalter ($US\ 1$, $US\ 2$) entweder zum Auslesen an den Spalten- und den Zeilenzähler oder dem Einschreiben durch den Rechner anschließbar sind.

4. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Speicher (PMY , PMX) fest programmiert ist und Speicherbereiche mittels eines vom Rechner ladbaren Bereichsregisters (BRG) zum Auslesen freigebbar sind.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Signale von nebeneinander darzustellenden Symbolen in aufeinanderfolgenden Zellen des Bildspeichers (BSP) enthalten sind, daß die Symbolsignale von benachbarten Symbolzeilen in aufeinanderfolgenden Speicherbereichen enthalten sind, daß Verschiebezähler (VX , VY) für die Zeilen- und Spaltenrichtung, deren Inhalte (X_j , Y_i) mittels des Verschiebeschalters (VSS) veränderbar sind, und ein Formatregister, in dem die Anzahl (X) der darstellbaren Symbole in Zeilenrichtung enthalten ist, vorgesehen sind, und daß der Adressenspeicher (ADR) die

Adresse ($G\ 1$) für den Bildspeicher (BSP) nach der Formel $G\ 1 = X(Y_i + y_k) + X_j + x_l$ errechnet, worin y_k der jeweilige Stand des Zeilenzählers (ZY) und x_l der jeweilige Stand des Spaltenzählers (ZX) ist (Fig. 2).

6. Schaltungsanordnung nach Anspruch 5, dadurch gekennzeichnet, daß der Stand (Y_i) des Zeilen-Verschiebezählers ($VY\ 1$) und der Stand (y_k) des Zeilenzählers (ZY) einem Zeilenaddierer ($ADY\ 1$) zugeführt sind, daß der Stand (X_j) des Spalten-Verschiebezählers ($VX\ 1$) und der Stand (x_l) des Spaltenzählers (ZX) einem Spaltenaddierer ($ADX\ 1$) zugeführt sind, daß der Ausgang des Zeilenaddierers ($ADY\ 1$) mit dem einen Eingang eines Multiplizierers ($MLP\ 1$) verbunden ist, dessen zweitem Eingang der Inhalt (X) des Formatregisters ($RX\ 1$) zugeführt ist, daß an den Ausgang des Multiplizierers ($MLP\ 1$) der eine Eingang eines Bildadressenaddierers ($BSA\ 1$) angeschlossen ist, dessen zweiter Eingang mit dem Ausgang des Spaltenaddierers ($ADX\ 1$) verbunden ist und von dessen Ausgang die Adressen ($G\ 1$) für den Bildspeicher (BSP) abnehmbar sind, unter denen die Symbolsignale zum Darstellen des Bildes ausgelesen werden (Fig. 3).

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß das im Bildspeicher (BSP) gespeicherte Bild in Teilbilder mit jeweils x Symbolspalten und y Symbolzeilen unterteilt ist, von denen jedes als Ganzes auf dem Bildschirm darstellbar ist, daß die Signale der die Teilbilder bildenden Symbole in je einem zusammenhängenden Bildspeicherbereich mit $x \cdot y$ Speicherzellen enthalten sind, wobei die Zeichen von nebeneinander darzustellenden Symbolen in aufeinanderfolgenden Speicherzellen und die Signale von aufeinanderfolgenden Symbolreihen der einzelnen Teilbilder in aufeinanderfolgenden Speicherbereichen enthalten sind, daß ein Formatregister vorgesehen ist, in dem die Anzahl (x) der in einem Teilbild enthaltenen Spalten gespeichert ist, und daß der Adressenrechner die Adresse ($G\ 2$) für den Bildspeicher (BSP) nach der Formel

$$G\ 2 = B_i \cdot y \cdot x + (y_i + y_k) \cdot x + (x_j + x_l)$$

errechnet, wobei B_i die Nummer des Teilbildes ist, in dem der Ursprung des dargestellten Teilbildes liegt, y_k der Zustand des Zeilenzählers (ZY) und x_l der Stand des Spaltenzählers (ZX) ist (Fig. 4).

8. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, daß zumindest die niederwertigeren Stellen (y_i) des Zeilen-Verschiebezählers ($VY\ 2$) und der Stand (y_k) des Zeilenzählers (ZY) einem Zeilenaddierer ($ADY\ 2$) zugeführt sind, daß zumindest die niederwertigeren Stellen (x_j) des Spalten-Verschiebezählers ($VX\ 2$) und der Stand (x_l) des Spaltenzählers (ZX) einem Spaltenaddierer ($ADX\ 2$) zugeführt sind, daß der Ausgang des Zeilenaddierers ($ADY\ 2$) mit dem einen Eingang eines Multiplizierers ($MLP\ 2$) verbunden ist, dessen zweitem Eingang der Inhalt (x) des Formatregisters ($RX\ 2$) zugeführt ist, daß an den Ausgang des Multiplizierers ($MLP\ 2$) der eine Eingang eines Teilbildadressenaddierers (TBA) angeschlossen ist, dessen zweiter Eingang mit dem Ausgang des Spaltenaddierers ($ADX\ 2$) verbunden ist, daß die höherwertigen Stellen (n , m) des Zeilen- bzw.

des Spalten-Verschiebezählers (*VY2*, *VX2*) sowie die Ausgangssignale von Teilbildgrenzvergleichern (*YV*, *XV*), welche die niederwertigeren Stellen (y_k , x_i) des Zeilen- und des Spalten-Verschiebezählers (*VY2*, *VX2*) mit dem jeweiligen Stand (y_k , x_i) des Zeilen- bzw. des Spaltenzählers vergleichen und ein Signal abgeben, wenn die Teilbildgrenze überschritten ist, einem Teilbilddecoder (*TBD1*) zugeführt sind, der daraus die Grundadresse des Teilbildes, von dem Symbole dargestellt werden sollen, ermittelt und sie an den einen Eingang eines Bildspeicheradressenaddierers (*BSA2*) ausgibt, dessen anderem Eingang das Ausgangssignal des Teilbildadressenaddierers (*TBA*) zugeführt ist und von dessen Ausgang die Adressen (*G2*) des Bildspeichers abnehmbar sind (Fig. 5).

9. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, daß der Stand (Y_i) des Zeilen-Verschiebezählers (*VY1*) und der Stand (y_k) des Zeilenzählers (*ZY*) einem Zeilenaddierer (*ADY1*) zugeführt sind, daß der Stand (X_i) des Spalten-Verschiebezählers (*VX1*) und der Stand (x_i) des Spaltenzählers (*ZX*) einem Spaltenaddierer (*ADX1*) zugeführt sind, daß die den Symbolplätzen innerhalb einer Zeile eines Teilbildes entsprechenden niederwertigeren Stellen (y_i') des Zeilenaddierers (*ADY1*) mit dem einen Eingang eines Multiplizierers (*MLP2*) verbunden sind, dessen zweitem Eingang der Inhalt (x) des Formatregisters (*RX2*) zugeführt ist, daß an den Ausgang des Multiplizierers (*MLP2*) der eine Eingang eines Teilbildadressenaddierers (*TBA*) angeschlossen ist, mit dessen zweiten Eingang die niederwertigeren, den Symbolplätzen innerhalb einer Spalte eines Teilbildes entsprechenden Stellen (x_i') des Spaltenaddierers (*ADX1*) verbunden sind, daß die höherwertigen, der Nummer eines Teilbildes innerhalb einer Teilbildspalte entsprechenden Stellen (m) des Ausgangssignals des Spaltenaddierers (*ADX1*) und die höherwertigen, den Nummern der Teilbilder innerhalb einer Teilbildzeile entsprechenden Stellen (n) des Ausgangssignals des Zeilenaddierers (*ADY1*) einem Teilbilddecoder (*TBD2*) zugeführt sind, der daraus die Anfangsadresse des Teilbildes, aus dem Symbole dargestellt werden, ermittelt und sie dem einen Eingang eines Bildspeicheradressenaddierers (*BSA2*) zuführt, dessen zweiter Eingang mit dem Ausgang des Teilbildadressenaddierers (*TBA*) verbunden ist und von dessen Ausgang die Bildspeicheradresse (*G2*) abnehmbar ist (Fig. 6).

10. Schaltungsanordnung nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß an den Adressenrechner (*ADR*) der eine Eingang eines Adressenmultiplexers (*AMX*) angeschlossen ist, dessen zweiter Eingang mit einer Adreßsammelleitung (*ADB*) des Rechners (*CPU*) verbunden ist und der von einer Sichtgerätesteuerung (*SGS*) so gesteuert ist, daß er während der Zeit, in der Symbole auf dem Bildschirm dargestellt werden (Hellphase), den Ausgang des Adressenrechners (*ADR*) auf den Adresseneingang des Bildspeichers (*BSP*) schaltet, und in der Zeit, während der keine Symbole dargestellt werden (Dunkelphase), den Adresseneingang mit der Adressensammelleitung (*ADB*) des Rechners (*CPU*) verbindet (Fig. 1).

11. Schaltungsanordnung nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß der

Adreßeingang einer Symbolplatz-Anwähleinheit (*LGS*) an den Ausgang des Adressenrechners (*ADR*) angeschlossen ist (Fig. 1).

Die Erfindung bezieht sich auf eine Schaltungsanordnung zum Darstellen von Signalen als Symbole auf dem Bildschirm eines Sichtgerätes gemäß dem Oberbegriff des Anspruchs 1.

Aus Symbolen aufgebaute Anlagenbilder sind meist größer als das auf einem Fernsehmonitor darstellbare Bild. Das bedeutet, daß der Bediener zu einem Zeitpunkt immer nur einen Teil der Gesamtanlage auf dem Sichtgerät überwachen kann. Um diesem Nachteil zu begegnen, ist in der DE-OS 25 10 632 vorgeschlagen, den Bildwiederholungsspeicher eines Sichtgerätes im Arbeitsspeicher des Mikroprozessors größer auszuführen, als die auf dem Bildschirm des Sichtgerätes darstellbare Information erfordert, und durch Verändern der Eingangsadresse eines Bildabrufes mittels eines Mehrrichtungsschalters den Bildausschnitt zu verschieben. Eine solche Anordnung hat den Nachteil, daß der Rechner durch hohe Speichertransferzeiten belastet ist. Zur Entlastung des Mikroprozessors ist ein Ausgabeprozessor und ein Zeilenzwischenspeicher vorgesehen. Der Ausgabeprozessor errechnet aufgrund der Signale des Verschiebeschalters und des Videosignalgebers die Adressen der Symbolsignale für je eine Symbolreihe und übergibt die Symbolsignale dem Zeilenzwischenspeicher. Von dort werden sie über den Videosignalgeber dem Sichtgerät zugeführt.

Der Einsatz eines Zeilenzwischenspeichers hat den Nachteil, daß der Mikroprozessor den Bildspeicher nicht ansteuern kann, während Symbolsignale in den Zeilenzwischenspeicher übertragen werden. In einer Anzeigeeinrichtung, die aus der DE-OS 26 59 189 bekannt ist, ist die Belastung des Mikroprozessors dadurch verringert, daß dem Adresseneingang des Bildspeichers ein Adressenmultiplexer mit zwei Eingängen vorgeschaltet ist, dessen einem Eingang Adressen von einer Sichtgerätesteuerung zugeführt sind und dessen zweiter Eingang mit dem Adressenbus des Mikroprozessors verbunden ist. Der Adressenmultiplexer ist von der Sichtgerätesteuerung derart geschaltet, daß während der Darstellung eines Symbols nacheinander die den beiden Eingängen des Multiplexers zugeführten Adressen auf den Adresseneingang des Bildspeichers geschaltet sind.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung der eingangs beschriebenen Art zu schaffen, mit der nur ein Teil des auf dem Bildschirm dargestellten Bildes mittels eines Verschiebeschalters verschoben wird und der restliche Teil stehenbleibt.

Erfindungsgemäß wird diese Aufgabe mit den im kennzeichnenden Teil des Anspruchs 1 angegebenen Schaltungsmaßnahmen gelöst. Die Torschaltungen sperren die Ausgangssignale des Spalten- und/oder des Zeilen-Verschiebezählers bei bestimmten Zählerständen des Zeilen- und/oder des Spaltenzählers, so daß die durch diese Zählerstände gegebenen Bildbereiche nicht verschoben werden und dort feststehende Bilder dargestellt werden.

Anhand der Zeichnungen, in denen Ausführungsbeispiele der Erfindung veranschaulicht sind, werden im folgenden die Erfindung sowie weitere Vorteile und

Ergänzungen näher beschrieben und erläutert.

Fig. 1 zeigt ein Übersichtsschaltbild eines Ausführungsbeispiels der Erfindung; in

Fig. 2 ist die Funktion eines Ausführungsbeispiels verdeutlicht, bei dem die Symbolzeichen des gesamten darzustellenden Bildes entsprechend einem einzigen großen Bild gespeichert sind; in

Fig. 3 ist das Prinzipschaltbild eines Ausführungsbeispiels mit der in Fig. 2 verdeutlichten Funktion dargestellt;

Fig. 4 veranschaulicht die Funktion eines Ausführungsbeispiels, bei dem die Symbolzeichen des gesamten darzustellenden Bildes entsprechend Teilbildern gespeichert sind, die jeweils als Ganzes auf dem Bildschirm darstellbar sind; in den

Fig. 5 und 6 sind Prinzipschaltbilder von Ausführungsbeispielen mit der in Fig. 4 veranschaulichten Funktionen dargestellt; die

Fig. 7 und 8 zeigen Ausführungsbeispiele, mit denen ein Teil des Bildes auf dem Bildschirm verschoben werden kann, während ein anderer Teil feststehend ist.

In Fig. 1 ist mit *SG* ein Sichtgerät bezeichnet, auf dessen Bildschirm Symbole an matrixförmig angeordneten Symbolplätzen dargestellt werden können. Die Symbole können alphanumerische Zeichen sein oder auch Linien, Punkte und dergleichen, aus denen Diagramme und Übersichtsbilder aufgebaut werden können. Jeder Symbolplatz kann aus mehreren, z. B. 7×10 , Bildpunkten bestehen; es ist aber auch der Grenzfall möglich, bei dem ein Symbolplatz nur die Größe eines Bildpunktes hat und sich die Symbole nur durch die Helligkeit, Farbe, Blinkfrequenz oder dergleichen unterscheiden. Das Sichtgerät *SG* arbeitet nach dem üblichen Zeilenrasterverfahren und erhält die für ein solches Verfahren erforderlichen Synchron- und Ablenkimpulse von einer Sichtgerätesteuerung *SGS*. Die Videoinformation wird ihm von einem Videosignalgeber *VSG* zugeführt, der an einen Zeichengenerator *ZEG* angeschlossen ist. Dieser setzt die von einem Bildspeicher *BSP* ausgegebenen, in einem üblichen Code dargestellten Symbolsignale in serielle Signale um.

Das insgesamt mit dem Sichtgerät *SG* darzustellende Bild soll größer sein als ein als Ganzes darstellbares Bild, d. h., die Anzahl der im Bildspeicher *BSP* enthaltenen Symbolsignale ist größer als die Anzahl der Symbolplätze auf dem Bildschirm des Sichtgerätes *SG*. Damit alle Symbole dargestellt werden können, kann das mit dem Sichtgerät *SG* dargestellte Bild über den Bildschirm verschoben werden, wobei die dargestellten Symbole am einen Bildschirmrand verschwinden und am gegenüberliegenden Bildschirmrand neue Symbole erscheinen. Es wird so stets ein zusammenhängendes Bild wiedergegeben. Diese Bildverschiebung wird mit einem Verschiebeschalter *VSS* gesteuert, der nach Art eines Steuerknüppels ausgebildet ist, also in alle vier Richtungen einer Ebene verschiebbar ist, wobei zweckmäßig die Bewegungsrichtung des Steuerknüppels der Verschieberichtung des Bildes auf dem Bildschirm entspricht. Anstelle des Steuerknüppels kann auch eine Rollkugel oder ein anderer Mehr richtungsschalter verwendet werden.

Die Ausgangsimpulse des Verschiebeschalters *VSS* werden einem Adressenrechner *ADR* zugeführt, der ferner an einen Zeilenzähler *ZY* und einen Spaltenzähler *ZX* angeschlossen ist, die Impulse von der Sichtgerätesteuerung *SGS* erhalten. Der Stand des Zeilenzählers *ZY* gibt an, welche Symbolzelle gerade dargestellt wird, der Stand des Spaltenzählers ist gleich

der Nummer der jeweils dargestellten Bildschirmsymbolspalte. Aus den ihm zugeführten Informationen errechnet der Adressenrechner *ADR* die Adresse derjenigen Zelle des Bildspeichers *BSP*, in der das Signal des jeweils darzustellenden Symbols enthalten ist. Damit ein zusammenhängendes Bild entsteht, wird die Art der Verknüpfung von Zeilen- und Spaltenzählerstand sowie der Impulse des Verschiebeschalters *VSS* davon abhängen, in welcher Reihenfolge die Symbolsignale im Bildspeicher *BSP* abgelegt sind. Anhand der Fig. 2, 4 und 5 werden hierzu Beispiele angegeben werden. Zunächst sollen jedoch die weiteren Bestandteile der Anordnung nach Fig. 1 beschrieben werden.

Zwischen den Adressenrechner *ADR* und den Bildspeicher *BSP* ist ein Adressenmultiplexer *AMX* geschaltet, der von der Sichtgerätesteuerung *SGS* gesteuert ist und zwei Schaltstellungen einnehmen kann. In der einen Schaltstellung leitet er die vom Adressenrechner *ADR* ausgegebenen Adressen zum Bildspeicher *BSP*. In dieser Schaltstellung befindet er sich so lange, wie mit dem Sichtgerät *SG* Symbole dargestellt werden, d. h., solange der Elektronenstrahl von einem Bildschirmrand zum anderen geführt ist. Während der Dunkelphase, d. h., solange der Elektronenstrahl des Sichtgerätes *SG* dunkelgetastet ist, das sind im wesentlichen die Zeiten des Zeilen- und des Bildrücklaufs, ist der Multiplexer *AMX* in die zweite, gestrichelt gezeichnete Schaltstellung gebracht, in der er den Adresseneingang des Bildspeichers *BSP* mit einer Adressensammelleitung *ADB* eines Rechners *CPU* verbindet. Gleichzeitig schließt die Sichtgerätesteuerung *SGS* einen Datenschalter *DAS*, so daß während der Dunkelphase der Rechner *CPU* Symbolsignale in den Bildspeicher *BSP* eintragen oder aus ihm auslesen kann. Die Information über das zeitliche Auftreten der Dunkelphasen kann der Rechner *CPU* vom Sichtgerät *SG* erhalten. Auch ist es möglich, daß der Rechner über eine gestrichelt gezeichnete Leitung die Sichtgerätesteuerung synchronisiert und damit das Auftreten der Dunkelphasen selbst festlegt.

An die Adressensammelleitung *ADB* und die Datensammelleitung *DAB* ist ferner ein Arbeitsspeicher *ASP* des Rechners *CPU* angeschlossen. Mit diesem Speicher kann der Rechner während der Hellphase des Sichtgerätes *SG*, d. h., wenn der Multiplexer *AMX* in der mit einer durchgezogenen Linie gekennzeichneten Stellung ist, ungehindert verkehren. Dies kann er auch während der Dunkelphase, wenn dafür gesorgt ist, daß der Bildspeicher *BSP* und der Arbeitsspeicher *ASP* unterschiedliche Adressen haben oder wenn eine Speicherauswahl auf andere Weise möglich ist. Im Ausführungsbeispiel nach Fig. 1 kann der Rechner den Speicher mittels eines auf eine Speicherwahlleitung *SPW* gegebenen Impulses auswählen. Dieser Impuls setzt, gegebenenfalls in Verbindung mit einem Taktimpuls, eine bistabile Kippstufe *BK*, die in der einen Schaltstellung den Arbeitsspeicher *ASP* zum Ein- und Auslesen freigibt und den Bildspeicher *BSP* sperrt und die in der anderen Schaltstellung den Arbeitsspeicher *ASP* sperrt und den Bildspeicher *BSP* freigibt. Eine solche Anordnung verhindert, daß das Adressierungsvolumen des Arbeitsspeichers durch den Bildspeicher *BSP* eingeschränkt ist. In entsprechender Weise können weitere Arbeits- oder Bildspeicher an die Adressen- und die Datensammelleitung *ADB* bzw. *DAB* angeschlossen sein.

Schließlich ist an den Adressenrechner *ADR* eine Anwahlsteuereinheit, im Ausführungsbeispiel eine

Lichtgriffelsteuerung *LGS*, angeschlossen, welche vom Adressenrechner *ADR* jeweils die Bildspeicheradresse des Symbols übernimmt, das mit einem Lichtgriffel *LG* auf dem Bildschirm des Sichtgerätes *SG* angewählt wird. Diese Adresse wird über die Datenleitung *DAB* zum Rechner *CPU* übertragen. Da beim Aufsetzen des Lichtgriffels auf den Bildschirm der Lichtgriffelsteuerung direkt die Bildspeicheradresse und nicht die Nummer des Symbolplatzes auf dem Bildschirm zugeführt wird, entfallen die sonst notwendigen Koordinatentransformationen. Dies bedeutet, daß der Sichtgeräterechner von der Umrechnung von relativen Adressen in die absoluten Bildspeicheradressen entlastet ist.

Für das Abspeichern der Symbolsignale im Bildspeicher *BSP* gibt es im wesentlichen zwei Möglichkeiten. Bei der einen werden die Signale von in Zeilenrichtung nebeneinander darzustellenden Symbolen in Zellen mit aufeinanderfolgenden Adressen gespeichert, wobei die Symbolsignale von benachbarten Symbolzeilen in aufeinanderfolgenden Speicherbereichen enthalten sind. Dies entspricht der üblichen Speicherung von Symbolsignalen für ein Bild, das als Ganzes auf dem Bildschirm eines Sichtgerätes dargestellt werden kann. Die gespeicherten Symbolsignale können daher als ein einziges Großbild angesehen werden, wie in Fig. 2 veranschaulicht ist. Das dort gezeigte Großbild bestehe aus $(X+1)$ Spalten und $(Y+1)$ Zeilen. Im Ausführungsbeispiel ist die Spaltenzahl 256 und die Zeilenzahl 128. Auf dem Bildschirm des Sichtgerätes können aber nur $(x+1)$ Spalten und $(y+1)$ Zeilen dargestellt werden, z. B. 64 Spalten und 32 Zeilen. Im Bildspeicher *BSP* sind in den Speicherzellen 0 bis 255 die Symbolsignale gespeichert, die in der Zeile 0 und den Spalten 0 bis 255 dargestellt werden sollen. Entsprechend sind in den Speicherzellen 256 bis 511 die Symbolsignale für die Zeile 1 und die Spalten 0 bis 255 gespeichert usw. Das Problem ist, aus den gespeicherten Signalen die mit dem Verschiebeschalter bestimmten in solcher Reihenfolge auszulesen, daß ein vollständiges, zusammenhängendes Bild auf dem Bildschirm des Sichtgerätes erhalten wird. Hierzu werden mit dem Verschiebeschalter Koordinaten X_j , Y_i für den Ursprung des darzustellenden Bildes erzeugt. Dies kann in der Weise geschehen, daß je nach Stellung des Verschiebeschalters Impulse auf die Vor- und/oder Rückwärtseingänge von Verschiebezählern in die Zeilen- und die Spaltenrichtung gegeben werden. Mit einer solchen Einrichtung können die Koordinaten X_j , Y_i stetig verändert und damit der Ursprung des darzustellenden Bildes verschoben werden. Aus diesen Koordinaten errechnet sich die Bildspeicheradresse für den Ort F auf dem Bildschirm darzustellendes Symbol nach der Formel

$$G1 = X(Y_i + y_k) + X_j + x_l$$

In dieser Formel bedeuten y_k der Stand des Zeilenzählers *ZY* und x_l der Stand des Spaltenzählers *VX*. Die Anzahl X der Spalten des Großbildes bzw. der Zeilenrichtung darstellbaren Symbole wird zweckmäßig in einem Formatregister hinterlegt. Der Adressenrechner kann dann nach der oben angegebenen Formel Adressen für den Bildspeicher errechnen, wobei die Symbolsignale in der Reihenfolge ausgelesen werden, in die Symbole auf dem Bildschirm dargestellt werden. In Fig. 2 dick umrandet gezeichnete Rechteck kann ein Fenster betrachtet werden, durch das die Symbole des Großbildes sichtbar werden. Durch Verschieben des Fensters können alle Teile des

Großbildes sichtbar gemacht werden.

Fig. 3 zeigt das Prinzipschaltbild eines Adressenrechners zum Adressieren eines Bildspeichers, in dem die Signale von nebeneinander darzustellenden Symbolen in aufeinanderfolgenden Zellen des Bildspeichers und die Symbolsignale von benachbarten Symbolzeilen in aufeinanderfolgenden Speicherbereichen enthalten sind. Mit *ZY* und *ZX* sind — wie in Fig. 1 — der Zeilen- bzw. der Spaltenzähler bezeichnet. Einem Zweirichtungszähler *VX1* sind Impulse des nicht dargestellten Verschiebeschalters *VSS* (Fig. 1) zum Verschieben des Bildes in horizontaler Richtung zugeführt. Einem Zweirichtungszähler *VY1* können Impulse zum Verschieben des Bildes in vertikaler Richtung zugeführt werden. In einem Formatregister *RX1* ist die Anzahl X der in einer Großbildzeile enthaltenen Symbole gespeichert. Die beiden Zähler *VX1*, *VY1* und das Formatregister *RX1* können vom Rechner über die Datenleitung *DAB* geladen werden, so daß bei Beginn der Darstellung stets ein bestimmter Ausschnitt aus dem Großbild wiedergegeben wird. Der Stand X_j des Spalten-Verschiebezählers *VX1* wird dem einen Eingang eines Spaltenaddierers *ADX1* zugeführt, dessen anderer Eingang mit dem Spaltenzähler *ZX* verbunden ist. Das Additionsergebnis gelangt auf den einen Eingang eines Bildspeicheradressenaddierers *BSA1*.

Der Stand Y_i des Zeilen-Verschiebezählers *VY1* und der Inhalt *ZY* des Spaltenzählers werden in einem Zeilenaddierer *ADY1* addiert, an dessen Ausgang der eine Eingang eines Multiplizierers *MLP1* angeschlossen ist, dessen zweiten Eingang der Inhalt X des Formatregisters *RX1* zugeführt ist und an dessen Ausgang der zweite Eingang des Bildspeicheradressenaddierers *BSA1* angeschlossen ist. Dieser gibt die Adresse $G1$ für den Bildspeicher ab.

Dem Ausgang des Zeilen-Verschiebezählers *VY1* ist eine Torschaltung *TY* und dem Spalten-Verschiebezähler *VX1* eine Torschaltung *TX* nachgeschaltet, die von dem Zeilen- und dem Spaltenzähler *ZY* bzw. *ZX* gesteuert sind. Sie sperren die Ausgangssignale Y_i und X_j bei bestimmten Zählerständen, so daß die durch diese Zählerstände gegebenen Bildbereiche nicht verschoben werden und dort feststehende Bilder dargestellt werden. Einzelheiten dieser Sperrschaltungen sind anhand der Fig. 7 und 8 beschrieben.

Wird der Steuerknüppel nach rechts oder links ausgelenkt, so wird der Inhalt des Spalten-Verschiebezählers *VX1* inkrementiert bzw. dekrementiert. Damit wird zum jeweiligen Spaltenzählerstand x_l der Wert X_j+1 bzw. X_j-1 addiert, d. h., der dargestellte Bildausschnitt wird um jeweils eine Spalte nach rechts bzw. links verschoben.

Wird der Steuerknüppel dagegen nach oben oder unten ausgelenkt, so wird der Stand des Zeilen-Verschiebezählers *VY1* inkrementiert bzw. dekrementiert. Damit wird zum jeweiligen Zeilenzählerstand y_k der Wert $(Y_i+1) \cdot X$ bzw. $(Y_i-1) \cdot X$ addiert, d. h., der dargestellte Bildausschnitt wird um jeweils eine Zeile nach unten bzw. nach oben verschoben.

Durch fortgesetztes Betätigen des Steuerknüppels können die Verschiebezähler *VX1*, *VY1* repetierend inkrementiert bzw. dekrementiert werden, womit der Bildausschnitt in allen Richtungen über das Großbild verschoben werden kann.

Wird der Spalten-Verschiebezähler *VX1* bei Betätigen des Steuerknüppels nicht um 1, sondern um jeweils $x+1$ und der Zeilen-Verschiebezähler *VY1* nicht um 1, sondern um jeweils $y+1$ erhöht bzw. erniedrigt, so wird

der dargestellte Bildausschnitt nicht um eine Spalte oder um eine Zeile, sondern jeweils um ein ganzes Teilbild verschoben. Damit kann in dieser Betriebsart, die z. B. durch eine Taste im Steuerknüppel eingeschaltet werden kann, mit dem Steuerknüppel im Großbild »geblättert« werden.

Durch gezieltes Laden der Verschiebezähler $VX1$, $VY1$ kann der übergeordnete Rechner einen beliebigen Bildausschnitt auf das Sichtgerät schalten.

In Fig. 4 ist eine andere Art der Organisation des Bildspeichers BSP (Fig. 1) veranschaulicht, die darin besteht, daß das im Bildspeicher gespeicherte Bild in Teilbilder $B0, B1, B2 \dots$ mit jeweils $x+1$ Spalten und $y+1$ Zeilen unterteilt ist, von denen jedes Teilbild als ein Bild auf dem Bildschirm darstellbar ist. Die Symbolsignale für die Teilbilder sind in je einem zusammenhängenden Bildspeicherbereich mit $x \cdot y$ Speicherzellen enthalten, wobei die Zeichen von nebeneinander darzustellenden Symbolen in aufeinanderfolgenden Speicherzellen und die Signale von aufeinanderfolgenden Symbolreihen der einzelnen Teilbilder in aufeinanderfolgenden Speicherbereichen enthalten sind. Die Bildspeicherbereiche für nebeneinander darzustellende Teilbilder können (aber müssen nicht) aufeinanderfolgen; auch können benachbarte Teilbildzeilen benachbarten Speicherbereichen zugeordnet sein.

Zweckmäßig arbeitet der Verschiebeschalter wieder mit Verschiebezählern zusammen; ein Formatregister speichert die Anzahl x der in einem Teilbild enthaltenen Spalten. Der Spalten-Verschiebezähler kann so aufgebaut sein, daß er die Nummer m der Teilbildspalte, in der sich der Ursprung des dargestellten Bildes befindet, sowie die Nummer x_i der Symbolspalte, in der sich der Ursprung des dargestellten Bildes befindet, getrennt ausgibt. Entsprechend kann der Zeilen-Verschiebezähler die Nummer n der Teilbildreihe und die Nummer y_i innerhalb des Teilbildes, in denen der Ursprung des dargestellten Bildes liegt, getrennt ausgeben. Bei einer solchen Organisation des Bildspeichers errechnet der Adressenrechner die Adresse $G2$ für den Bildspeicher nach der Formel

$$G2 = B_i \cdot y \cdot x + (y_i + y_k) \cdot x + (x_j + x_l)$$

wobei B_i die Nummer des Teilbildes bedeutet, in dem der Ursprung des dargestellten Bildes liegt, y_k der Stand des Zeilenzählers und x_l der Stand des Spaltenzählers bedeuten.

Fig. 5 zeigt eine Schaltungsanordnung zum Berechnen der Adressen eines Bildspeichers, der so organisiert ist, daß das Großbild in einzeln darstellbare Teilbilder unterteilt ist. Diese Schaltungsanordnung nach Fig. 5 ist ähnlich aufgebaut wie die nach Fig. 3. Sie enthält ein Formatregister $RX2$, in dem aber nicht die gesamte Zahl der Spalten eines Großbildes, sondern nur die Anzahl x eines Teilbildes gespeichert ist. Der Zeilen-Verschiebezähler $VY2$ ist wieder ein Zweirichtungszähler, der Impulse vom Verschiebeschalter erhält, wenn dieser nach oben und unten bewegt wird. An einem Ausgang, und zwar an den höherwertigen Stellen, wird die Nummer n der Teilbildzeile ausgegeben, in der sich der Ursprung des dargestellten Bildes befinden soll, an einem anderen Ausgang, den niederwertigeren Stellen, wird die Nummer y_i der Symbolzeile innerhalb der Teilbildzeile n angegeben, in der der Ursprung des dargestellten Bildes liegt. Dieser Wert wird von einem Zeilenaddierer $ADY2$ zum Stand y_k des Zeilenzählers addiert.

Entsprechend ist ein Spalten-Verschiebezähler $VX2$

aufgebaut, der an einem Ausgang die Nummer m der Teilbildspalte und die Nummer x_i der Symbolspalte, in denen jeweils der Ursprung des Teilbildes liegt, ausgibt. Die Nummer x_i wird zum Stand x_l des Spaltenzählers in einem Addierer $ADX2$ addiert und einem Teilbildadressenaddierer TBA zugeführt. Dessen zweiter Eingang ist an einen Multiplizierer $MLP2$ angeschlossen, der die Ausgangswerte des Zeilenaddierers $ADY2$ und des Formatregisters $RX2$ miteinander multipliziert.

Ferner ist ein Teilbildgrenzvergleichler YV vorgesehen, der den Ausgangswert y_i des Zeilen-Verschiebezählers $VY2$ mit dem Stand y_k des Zeilenzählers ZY vergleicht. Er dient dazu festzustellen, ob Symbole eines anderen Teilbildes dargestellt werden müssen. Ein entsprechender Teilbildgrenzvergleichler XV vergleicht den Wert x_i des Spalten-Verschiebezählers $VX2$ mit dem Stand x_l des Spaltenzählers ZX . Die Bedeutung dieser Teilbildgrenzvergleichler wird im folgenden anhand der Fig. 4 näher erläutert. Das dort mit dicken Linien umrandet dargestellte Bild erstreckt sich über vier Teilbilder $B5, B6, B9$ und $B10$. Der Teilbildgrenzvergleichler XV spricht an, wenn vom Teilbild $B5$ auf das Teilbild $B6$ oder vom Teilbild $B9$ auf das Teilbild $B10$ übergegangen wird. Der Vergleichler YV gibt dagegen ein Signal ab, wenn vom Teilbild $B5$ auf das Teilbild $B9$ oder vom Teilbild $B6$ auf das Teilbild $B10$ übergegangen wird.

Einem Teilbilddecoder $TBD1$, der im wesentlichen aus einem fest programmierten Speicher bestehen kann, sind außer der Teilbildzeilennummer n und der Teilbildspaltennummer m die Ausgangssignale der Teilbildgrenzvergleichler YV und XV zugeführt. Aus diesen Signalen decodiert er das Teilbild, das jeweils dargestellt werden soll, bildet die zugehörige Grundadresse $B_i \cdot x \cdot y$ und gibt sie auf den einen Eingang eines Bildspeicheradressenaddierers $BSA2$, dessen anderem Eingang das Ausgangssignal des Teilbildadressenaddierers TBA zugeführt ist. Das Ausgangssignal dieses Addierers $BSA2$ ist die jeweilige Adresse des Bildspeichers.

Die Verschiebezähler $VY2$ und $VX2$ sind wieder — wie in der Anordnung nach Fig. 3 — auf einen bestimmten Wert voreinstellbar, so daß, wenn die Werte y_i und x_i auf Null gesetzt werden, nach dem Spannungseinschalten ein durch die Werte n und m vorgegebenes Teilbild dargestellt wird. Wird nun der Verschiebeschalter nach rechts oder links ausgelenkt, so wird der Stand des Spalten-Verschiebezählers $VX2$ in- bzw. dekrementiert. Entsprechendes gilt für den Spalten-Verschiebezähler $VY2$, wenn der Steuerknüppel nach unten oder nach oben ausgelenkt wird. Damit werden zum jeweiligen Stand des Zeilenzählers die Werte y_i+1 bzw. y_i-1 und zum Stand x_l des Spaltenzählers ZX die Werte x_i+1 bzw. x_i-1 addiert und der dargestellte Bildausschnitt entsprechend über die einzelnen Teilbilder nach rechts, links, unten oder oben verschoben.

Die Ausgangssignale des Verschiebeschalters können mit solcher Wertigkeit auf die Verschiebezähler gegeben werden, daß jeweils die Werte n bzw. m um 1 erhöht oder erniedrigt werden, so daß mit Hilfe des Steuerknüppels im Bildspeicher »geblättert« werden kann.

Mittels Sperrschaltungen $TY1, TY2, TX1, TX2$ können die Verschiebezähler und damit der Verschiebeschalter unwirksam gemacht werden, so daß, wenn diese Sperrschaltungen in Abhängigkeit des Zeilen- und des Spaltenzählerstandes gesteuert sind, bestimmte Berei-

che des dargestellten Bildes nicht verschoben werden können.

Fig. 6 zeigt eine Modifikation der Anordnung nach Fig. 5. Die Verschiebezähler sind in gleicher Weise aufgebaut wie die der Anordnung nach Fig. 3. Sie sind daher ebenso wie jene mit $VY1$ und $VX1$ bezeichnet. Auch die ihnen nachgeschalteten Zeilen- und Spaltenaddierer stimmen mit denen der Anordnung nach Fig. 3 überein und sind daher mit $ADY1$ und $ADX1$ bezeichnet. Ihre höherwertigen Stellen m bzw. n geben die Teilbildspalte bzw. die Teilbildzeile an, in denen das Teilbild liegt, aus dem ein Symbol dargestellt werden soll. Diese Werte n, m werden einem Teilbilddecoder $TBD2$ zugeführt, der daraus die Anfangsadresse $B_i \cdot x \cdot y$ des jeweiligen Teilbildes bestimmt und sie dem Bildspeicheradressenaddierer $BSA2$ zuführt. Die niederwertigeren Stellen y' des Zeilenaddierers $ADY1$ werden mit dem Inhalt x des Formatregisters $RX2$ von einem Multiplizierer $MLP2$ multipliziert, an dessen Ausgang der Teilbildaddierer TBA angeschlossen ist, dem ferner die niederwertigeren Stellen x' des Spaltenaddierers $ADX2$ zugeführt sind und an den der zweite Eingang des Bildspeicheradressenaddierers $BSA2$ angeschlossen ist. Teilbildgrenzvergleicher sind in der Anordnung nach Fig. 6 nicht erforderlich, da beim Übergang auf ein anderes Teilbild die höherwertigen Stellen n bzw. m vom Addierer $ADY1$ bzw. $ADX1$ um 1 erhöht werden. Den Verschiebezählern $VY1, VX1$ können wieder Torschaltungen TY, TX nachgeschaltet sein, damit bestimmte Teile des Bildes nicht verschoben werden.

Es wurde mehrfach erwähnt, daß mit Hilfe von Torschaltungen TX, TY Teile eines dargestellten Bildes vom Verschieben ausgenommen werden können. Solche Bildteile sind z. B. virtuelle Tastaturen, Meldeteile und Skalierungen. Fig. 7 zeigt Einzelheiten einer solchen Torschaltung. Die Ausgangssignale n, m, y, x der Verschiebezähler sind über eine Torschaltungsanordnung $T1$ geführt, die von einem Koinzidenzglied $KG1$ gesteuert ist. Dessen beiden Eingängen sind die Ausgangssignale von Schreib-/Lesespeichern RMV und RMX zugeführt, deren Adresseneingänge an Umschalter $US1$ und $US2$ angeschlossen sind. Diese Umschalter können z. B. synchron mit dem Adressenmultiplexer AMX der Anordnung nach Fig. 1 geschaltet werden, so daß sie während der Hellphase des Sichtgerätes in der mit einer durchgezogenen Linie gekennzeichneten

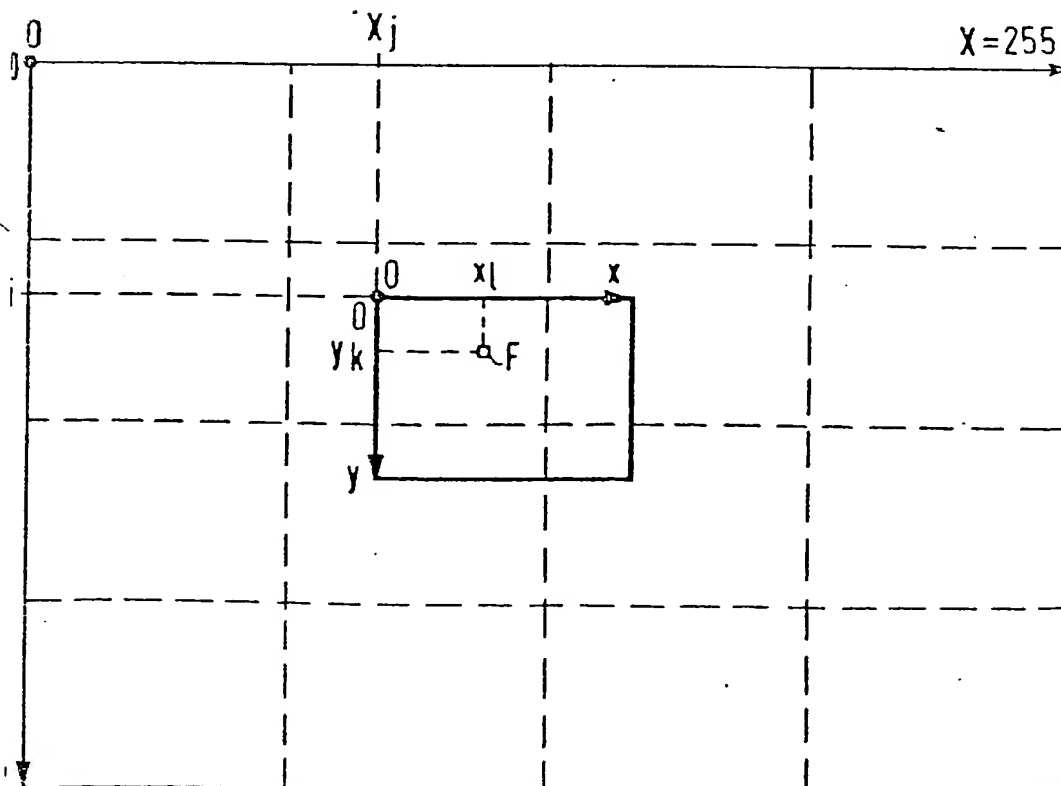
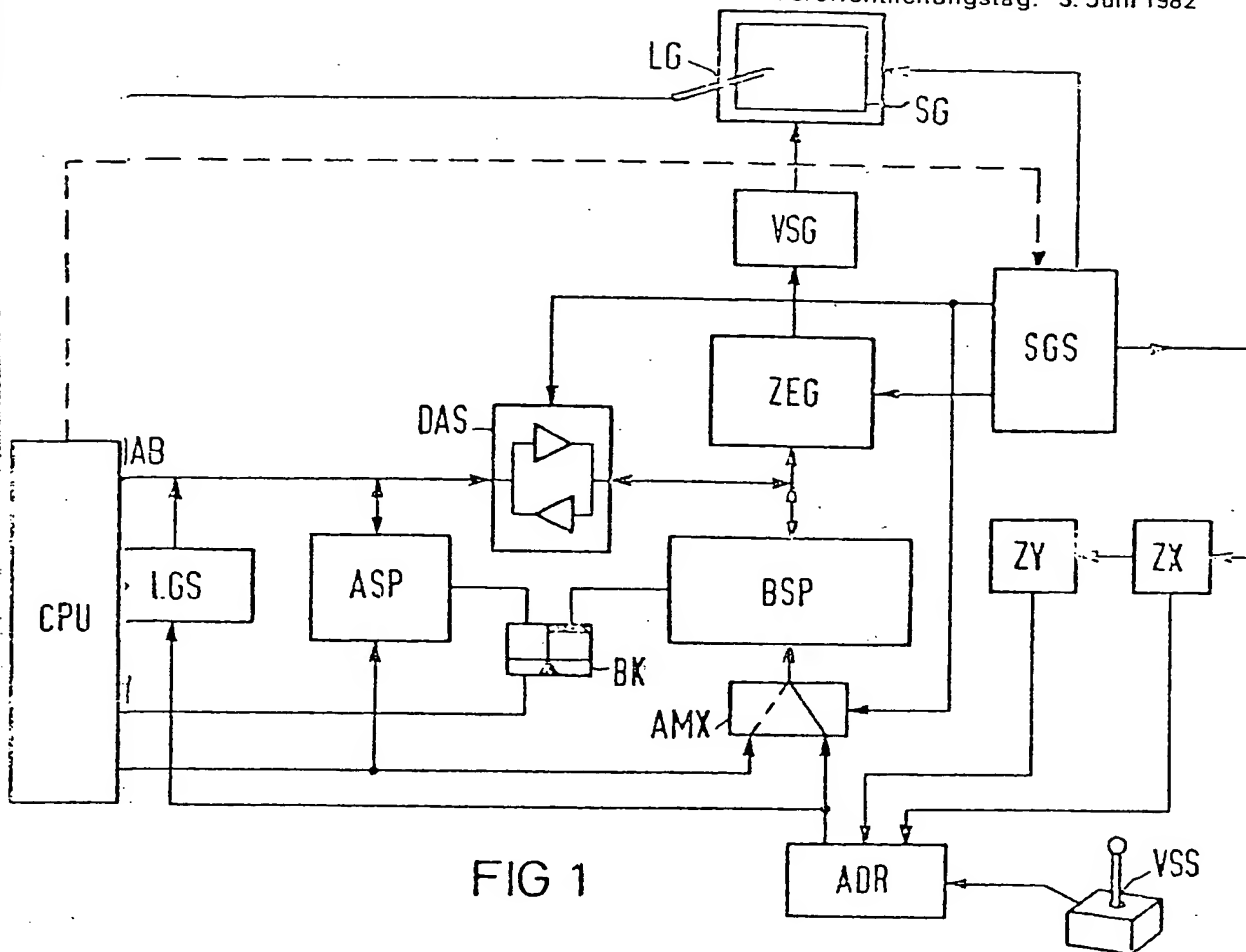
Schaltstellung sind. Während der Dunkelphase befinden sie sich in der gestrichelt gezeichneten Stellung, in der sie die Adressensammelleitung ADB des Rechners mit dem Adresseneingang der Speicher RMV, RMX verbinden. In dieser Phase können die Speicher, die je Symbolplatz auf dem Bildschirm des Sichtgerätes eine 1-Bit-Speicherzelle haben, geladen werden, indem z. B. eine »1« in die Speicherzellen eingetragen wird, die Symbolplätzen zugeordnet sind, an denen das Bild nicht verschoben werden soll. Werden dann beim Darstellen der Symbole an diesen Plätzen die zugehörigen Werte y, x vom Zeilen- und vom Spaltenzähler den Speichern RMV, RMX zugeführt, geben diese »1«-Signal ab, so daß das Koinzidenzglied $KG1$ die Torschaltung $T1$ sperrt und somit andere, vorbestimmte Adressen des Bildspeichers aufgerufen werden.

In der Regel besteht der Meldeteil aus einer oder mehreren Zeilen und die virtuelle Tastatur ebenfalls aus einer oder mehreren Tastenzeilen. Deshalb genügt es oft, wenn man die feststehenden Bildteile über die gesamte Bildbreite ausdehnt, indem man auf den Speicher RMX sowie den Umschalter $US2$ und das Koinzidenzglied $KG1$ verzichtet.

Fig. 8 zeigt eine Anordnung, in der die beiden Lese- und Schreibspeicher RMV und RMX der Anordnung nach Fig. 7 durch fest programmierte Speicher PMV, PMX ersetzt sind. An diese ist ein Koinzidenzglied $KG2$ angeschlossen, welches einen aus zwei Torschaltungen $T2, T3$ bestehenden Umschalter steuert. Als Adressen werden den programmierten Speichern PMV, PMX wieder die Inhalte des Zeilen- und des Spaltenzählers zugeführt. Geben beide Speicher gleichzeitig ein »1«-Signal ab, wird die Torschaltung $T2$ gesperrt und die Torschaltung $T3$ durchgeschaltet, so daß in der nachgeschalteten Rechenschaltung die Ausgangssignale y, x und gegebenenfalls n und m der Verschiebezähler durch den Stand eines Registers REG ersetzt wird und ein vom Inhalt des Registers REG bestimmter Bereich des Bildspeichers ausgelesen wird.

Werden die höherwertigen Adresseneingänge der programmierten Speicher PMV, PMX mit den Ausgängen eines Bereichsregisters BRG verbunden, so kann durch Laden dieses Registers aus mehreren vorprogrammierten Bildaufteilungen eine ausgewählt werden, beispielsweise kann der nicht verschiebbare Teil des Bildes vom unteren Bildfeldrand an den oberen oder vom rechten an den linken verlegt werden.

Hierzu 4 Blatt Zeichnungen



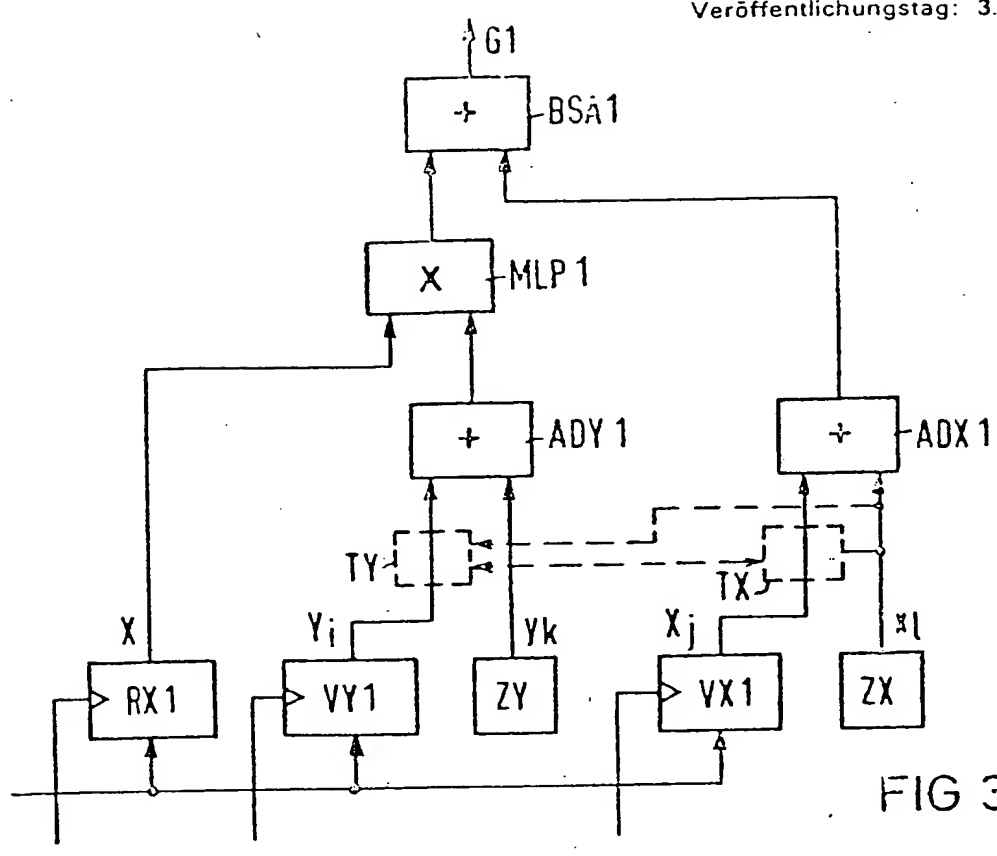


FIG 3

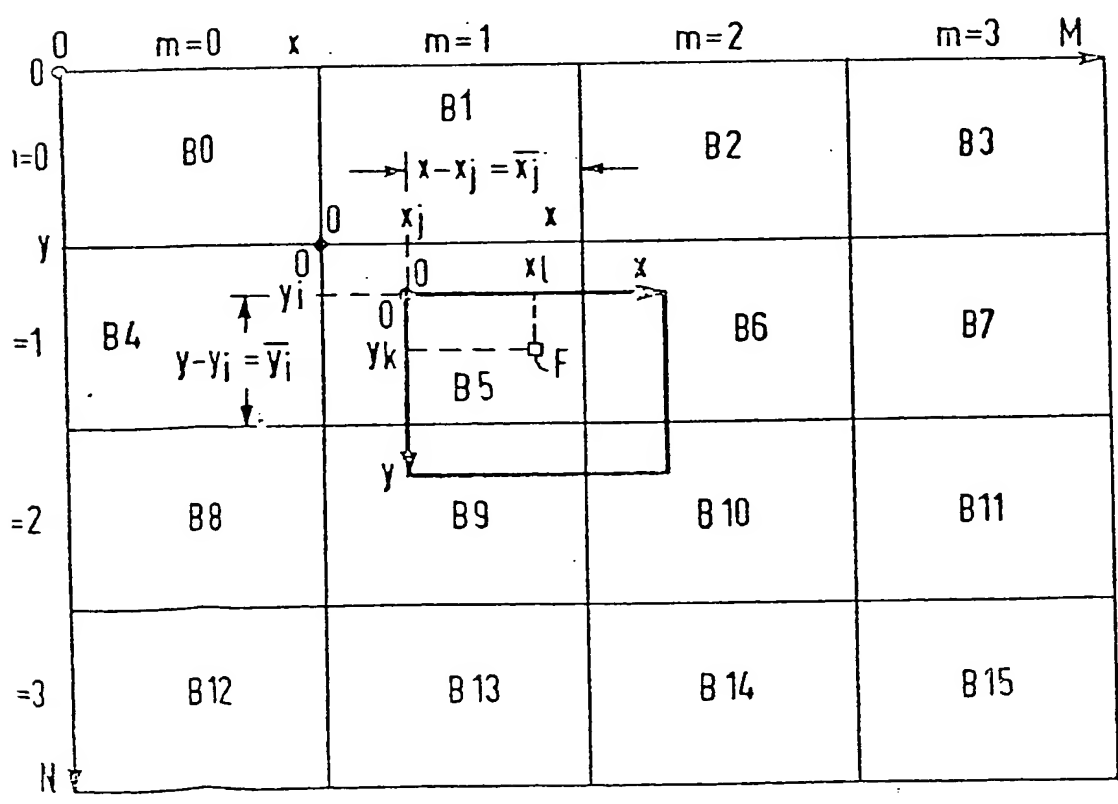
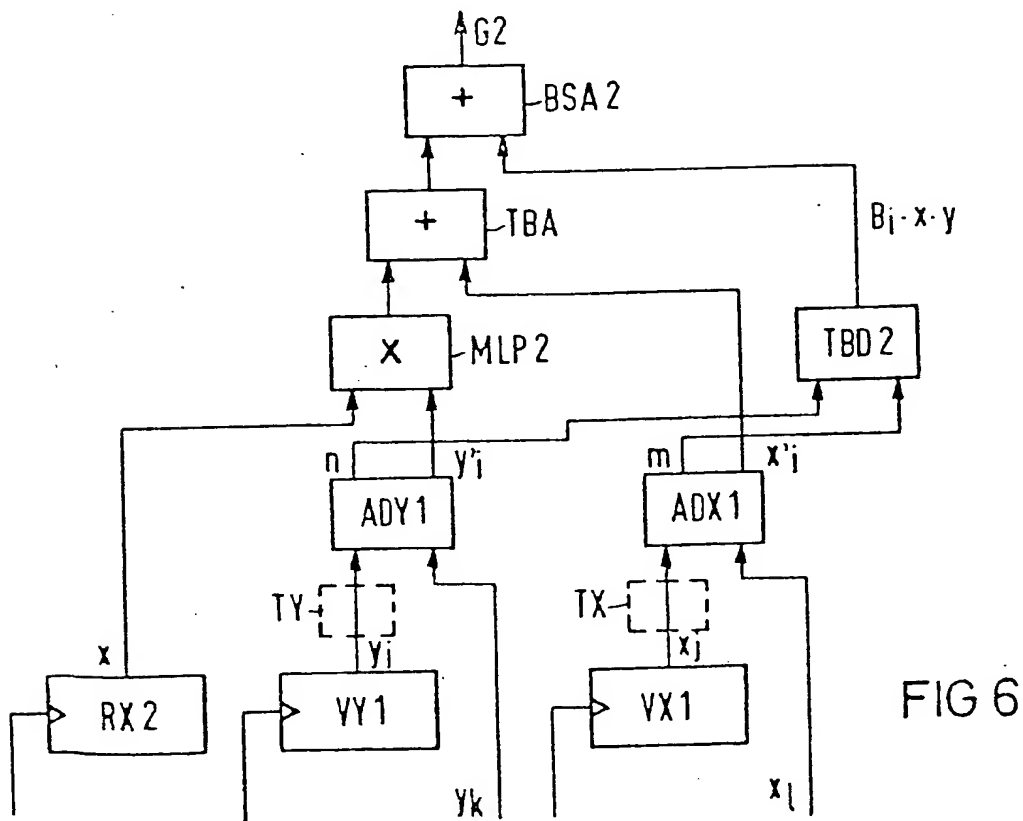
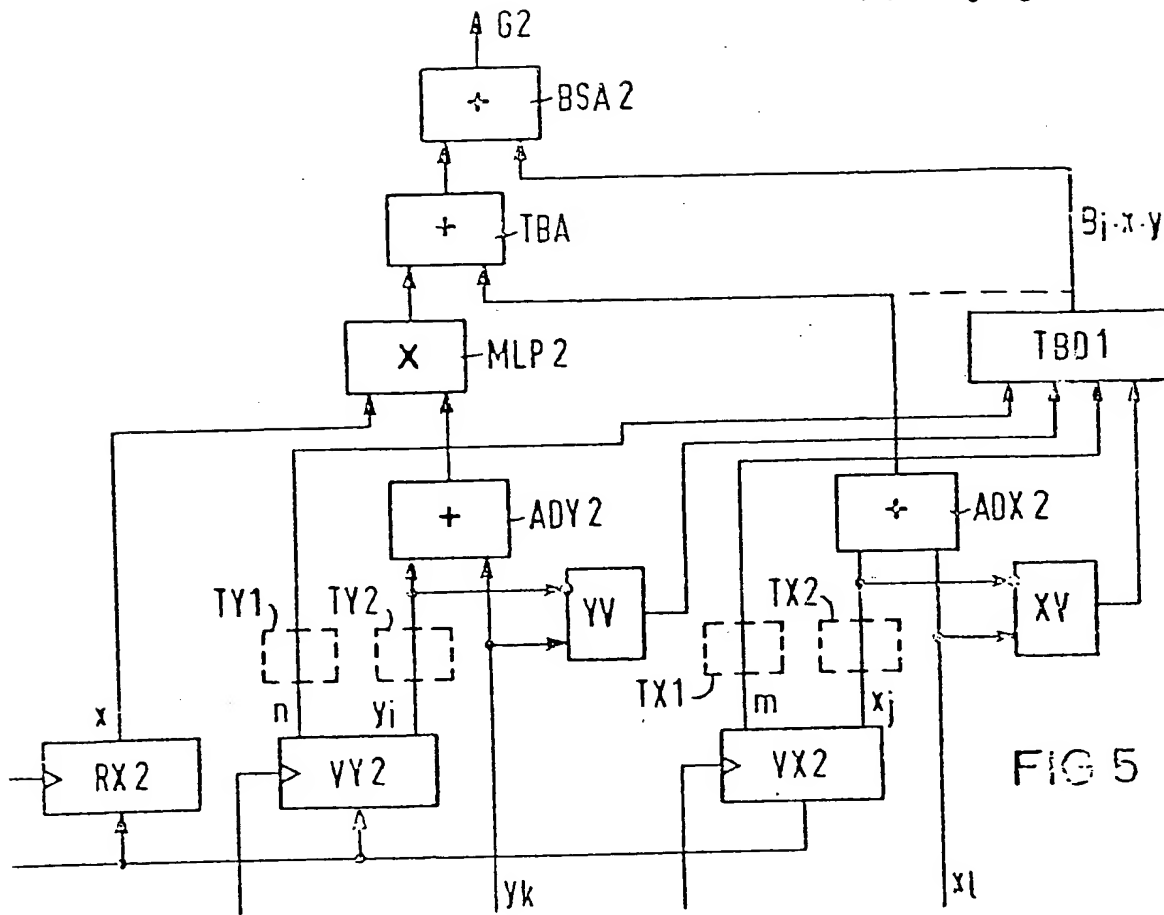


FIG 4



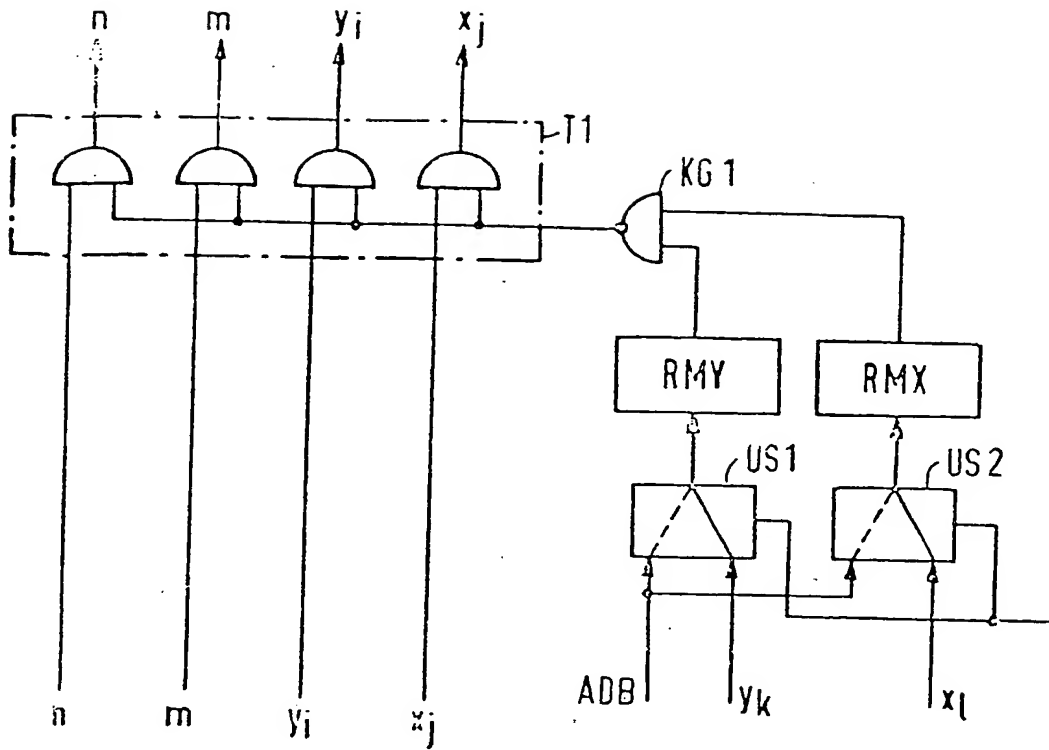


FIG 7

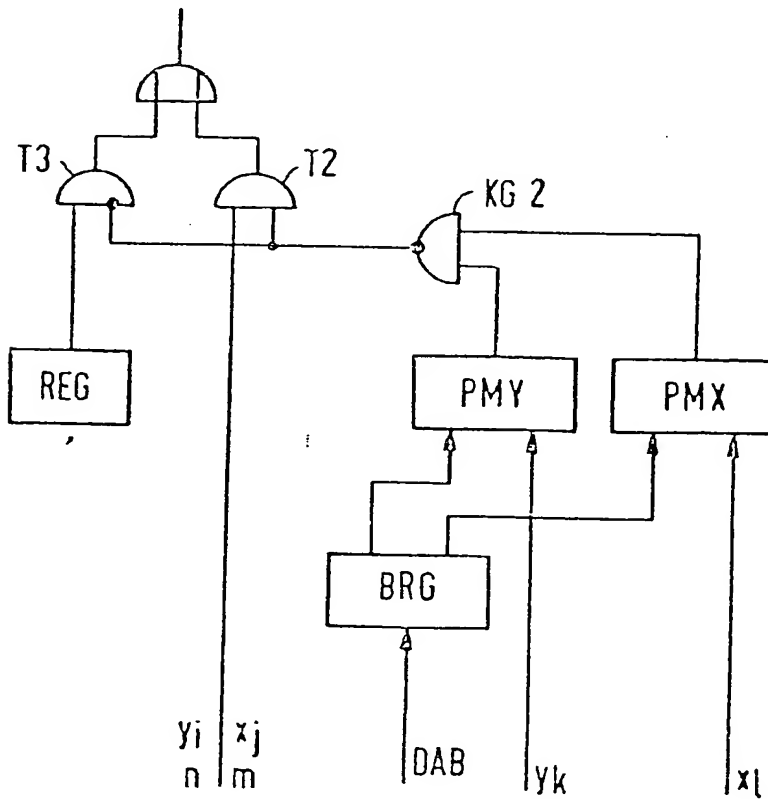


FIG 8

THIS PAGE BLANK (USPTO)



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

October 18, 2004

German Patent Application No. 43 05 026.3

Applicant: Hitachi Ltd.

Opponent: Interessengemeinschaft für Rundfunkschutzrechte e.V. (IGR)

Your ref.: B9255-02

Our ref.: A16925 A1/ABa/sb

Translation of Document D2

DE 28 39 888 C2

Claims

1. Circuit assembly for displaying signals as symbols on the screen of a display device having an image memory in which the symbols are stored, from which the signals displayed on the screen at any one time are cyclically read out and fed to the display device via a video signal transmitter, wherein the addresses of the image memory are derived from the value of a row counter and from the one of a column counter, and in which more symbol signals are storable than are simultaneously displayed on the screen, and having a movable switch by which the accessed addresses of the image repetition memory are modifiable, and having a processor that writes the symbol signs into the image memory, as well as having an address calculator connected to the movable switch that calculates from the values of the row counter and the column counter as well as from the signals of the movable switch the addresses of the image memory in which the symbol signals to be displayed at any one time are stored, characterized in that downstream of a row shift counter (VX1, VX2) and/or a column shift counter (VY1, VY2), whose values (xj, yi) are modifiable via the movable switch (VSS), there are interposed gate circuits (TY, TX) which are controlled by a comparator which compares the value of the row and/or the column counter (ZX, ZY) with predetermined values and sends a blocking signal to the gate circuits if they match.



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

2. Circuit assembly according to claim 1, characterized in that the comparator comprises a memory (RMX, RMY; PMX, PMY), to which the value (y_k, x_i) of the row and/or column counter is provided as address and to whose output a coincidence circuit (KG1; KG2) is connected that blocks the gate circuit (T1; T2) when marked cells of the memory (RMY, RMX; PMY, PMX) are addressed.
3. Circuit assembly according to claim 1 or 2, characterized in that the memory (RMX, RMY) is selectively writable or readable and its address input can be connected via a change-over switch (US1, US2) either for reading out the column and the row counter or for writing by the processor.
4. Circuit assembly according to claims 1 or 2, characterized in that the memory (PMY, PMX) is fixedly programmed and in that memory regions can be read-enabled by means of a region register (BRG) loadable from the calculator.
5. Circuit assembly according to one of claims 1 to 4, characterized in that the signals of symbols to be displayed in juxtaposition are contained in successive cells of the image memory (BSP), in that the symbol signals from neighboring symbol rows are contained in successive memory regions, in that shift counters (VX, VY) for the row and the column direction, whose values (X_j, Y_i) are modifiable by a movable switch (VSS) and that a format register in which the number (X) of displayable symbols in row direction is contained, are provided, and in that the address memory (ADR) calculates the address (G1) for the image memory (BSP) according to the formula $G1 = X(Y_i + y_k) + X_j + x_i$, wherein y_k is the value of the row counter (ZY) and x_i the value of the column counter (ZX) at any one time (Fig. 2).
6. Circuit assembly according to claim 5, characterized in that the value (Y_i) of the row shift counter (VY1) and the value (y_k) of the row counter (ZY) are provided to a row adder (ADY1), in that the value (X_j) of the row shift counter (VX1) and the value (x_i) of the column counter (ZX) are provided to a column adder (ADX1), in



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

that the output of the row adder (ADY1) is connected with the input of a multiplier (MLP1), to whose second input the content (X) of the format register (RX1) is provided, in that the output of the multiplier (MLP1) which is connected to the input of an image address adder (BSA1), whose second input is connected to the output of the column adder (ADX1) and from whose output the addresses (G1) for the image memory (BSP) can be taken, from where the symbol signals for displaying the image are read out (Fig. 3).

7. Circuit assembly according to one of claims 1 to 4, characterized in that the image stored in the image memory (BSP) is divided into partial images with x symbol columns and y symbol rows each, every one of which is displayable on the screen as a whole, in that the signals of the symbols constituting the partial images are each contained in a continuous image memory region having $x \cdot y$ memory cells, wherein the signs of symbols to be displayed in juxtaposition are in successive memory cells and the signals of successive symbol rows of the partial images are contained in successive memory regions, in that a format register is provided in which the number (x) of the columns contained in a partial image is stored, and in that the address calculates the address (G2) for the image memory (BSP) according to the formula

$$G2 = B_i \cdot y \cdot x + (y_i + y_k) \cdot x + (x_j + x_l),$$

wherein B_i is the number of the partial image in which the origin of the displayed partial image lies, y_k is the state of the row counter (ZY) and x_l is the value of the column counter (ZX) (Fig. 4).

8. Circuit assembly according to claim 7, characterized in that at least the lower order positions (y_i) of the row shift counter (VY2) and the value (y_k) of the row counter (ZY) are provided to a row adder (ADY2), in that at least the lower order positions (x_j) of the column shift counter (VX2) and the value (x_l) of the column counter (ZX) are provided to a column adder (ADX2), in that the output of the row adder (ADY2) is connected to an input of a multiplier (MLP2), to whose second input the



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

value (x) of the format register (RX2) is provided, in that to the output of the multiplier (MLP2) the one input of a partial image address adder (TBA) is connected, whose second input is connected with the output of the column adder (ADX2), in that the higher order positions (n, m) of the row- or the column shift counter (VY2, VX2) respectively as well as the output signals of partial image limit comparators (VY, XV), which compare the lower order positions (y_i, y_j) of the row- and the column shift counter (VY2, VX2) with the respective value (y_k, x_l) of the row- or the column-counter respectively and emit a signal, if the partial image border is crossed, are provided to a partial image decoder (TBD1), which extracts the base address of the partial image, from which the symbols are to be displayed, and emits them to an input of the image memory address adder (BSA2), to whose other input the output signal of the partial image address adder (TBA) is provided and from whose output the addresses (G2) of the image memory can be taken (Fig. 5).

9. Circuit assembly according to claim 7, characterized in that the value (Y_i) of the row shift counter (VY1) and the value (y_k) of the row counter (ZY) are provided to a row adder (ADY1), in that the value (X_j) of the column shift counter (VY1) and the value (x_l) of the column counter (ZX) are provided to a column adder (ADX1), in that the lower-order positions (y_i') of the row adder (ADY1), corresponding to the symbol positions within a row of a partial image, are connected with the one input of a multiplier (MLP2), to whose second input the content (x) of the format register (RX2) is provided, in that two the output of the multiplier (MLP2) the one input of a partial image address adder (TBA) is connected, with whose second input the lower-order positions (x_j') of the column adder (ADX1), corresponding to the symbol positions within a column of a partial image, are connected, in that the higher-order positions (m) of the output signal of the column adder (ADX1), corresponding to the number of a partial image within a partial image column, and the higher-order positions (n) of the output signal of the row adder (ADY1), corresponding to the number of partial images within a partial image row, are provided to a partial image decoder (TBD2), which extracts therefrom the start address of the



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

partial image, from which symbols are to be displayed, and provides them to an input of an image memory address adder (BSA2), whose second input is connected with the output of the partial image address adder (TBA) and from whose output the image memory address (G2) can be picked up (Fig. 6).

10. Circuit assembly according to one of claims 1 to 9, characterized in that the address calculator (ADR) the one input of an address multiplexer (AMX) is connected, whose second input is connected to an address collection line (ADB) of the calculator (CPU) and which is controlled by a display unit control (SGS) such that he, during the time in which symbols are displayed on the screen (light phase), switches the output of the address calculator (ADR) to the address input of the image memory (BSP) and during the time, during which no symbols are displayed (dark phase), connects the address input with the address collecting line (ADB) of the calculator (CPU) (Fig. 1).
11. Circuit assembly according to one of claims 1 to 10, characterized in that the address input of a symbol position selection unit (LGS) is connected to the output of the address calculator (ADR) (Fig. 1).

Description

The invention relates to a circuit assembly for displaying signals as symbols on the screen of a display device according to the preamble of claim 1.

Facility images built from symbols are mostly larger than the image that can be displayed on a television monitor. This means that the user can only survey a part of the total facility on the display device at any given point in time. In order to address this disadvantage, DE-OS 25 10 632 proposes to construct the image memory of a display device in the working memory of a microprocessor larger than required by the information displayable on the screen of the display device and to shift the image portion by changing the input address of



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

an image request by means of a multiple direction switch. Such an arrangement has the disadvantage that the computer is burdened with high memory transfer times. For relieving the microprocessor, an output processor and an intermediate row memory is provided. The output processor calculates from the signals of the movable switch and the video signal transmitter the addresses of the symbol signals for one symbol row each and transmits the symbol signals to the intermediate row memory. From there, they are provided to the display device via the video signal transmitter.

The use of an intermediate row memory has the disadvantage that the microprocessor cannot address the image memory while symbol signals are transmitted to the intermediate row memory. In one display device known from DE-OS 26 59 189, the load of the microprocessor is lessened (decreased) in that an address multiplexer with two inputs is interposed before the address input of the image memory, to the one input of which addresses from a display device control are provided and whose second input is connected to the address bus of the microprocessor. The address multiplexer is controlled by the display device control such that during the display of a symbol, the addresses provided to both inputs of the multiplexer are successively switched to the address input of the image memory.

The present invention has the object of creating a circuit assembly of the above-described type, with which only a part of the image displayed on the screen is shifted by means of a movable switch and the remaining part stays fixed.

According to the invention, this object is achieved by the switching measures stated in the characterizing part of claim 1. The gate circuits block the output signals of the column and/or the row shift counter at certain counter values of the row and/or the column counter, such that the image regions given by these counter values are not shifted and images staying fixed there are displayed.



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

By means of the drawings, in which embodiments of the invention are illustrated, the invention as well as further advantages and additions are more closely described and explained in the following.

Fig. 1 shows a schematic diagram of an embodiment of the invention; in

Fig. 2 the function of an embodiment is explained, in which the symbol signs of the entire image to be displayed are stored according to a single large image; in

Fig. 3 a circuit diagram of an embodiment with the function explained in Fig. 1 is shown in principle;

Fig. 4 demonstrates the function of an embodiment in which the symbol signs of the entire image to be displayed are stored according to partial images, each of which can be displayed as a whole on the screen, in

Figs. 5 and 6, circuit diagrams of embodiments having the functions demonstrated in Fig. 4 are displayed; the

Figs. 7 and 8 show embodiments with which a region of the image can be shifted on the screen while another region stays fixed.

In Fig. 1, a display device is designated by SG on whose screen symbols can be displayed in symbol positions arranged in matrix form. The symbols can be alphanumeric characters or lines, points and the like, from which diagrams and overviews can be constructed. Each symbol position can consist of several, e.g. 7 x 10, image pixels; but also the limit case is possible in which a symbol position only has the size of one image pixel and the symbols only differ by brightness, color, blinking frequency or the like. The display device SG works according to the usual line scanning method and receives the synchronization and deflection pulses needed for such a method from a display device control SGS. The video information is provided to it by a video signal transmitter VSG which is connected to a sign generator ZEG. This transforms the symbol signals expressed in a usual code, output from an image memory BSP into serial signals.



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

The image to be completely displayed by the display device SG must be larger than an image displayable as a whole, i.e. the number of the symbol signals contained in the image memory BSP is larger than the number of symbol positions on the screen of the display device SG. In order that all symbols can be displayed, the image displayed by the display device SG can be shifted over the screen, wherein the displayed symbols disappear at one screen border and wherein new symbols appear on the opposite screen border. In this manner, a continuous image is always reproduced. This image movement is controlled by a movable switch VSS, which is constructed like a joystick, therefore movable in all four directions of a plane, whereby the moving direction of the joystick most usefully corresponds to the moving direction of the image on the screen. Instead of the joystick, a track-ball ball or a different multiple-direction switch can be used.

The output pulses of the movable switch VSS are provided to an address calculator ADR, which is furthermore connected to a line counter ZY and a column counter ZX receiving pulses from the display device control SGS. The value of the row counter ZY indicates which symbol cell is currently displayed, the value of the column counter is equal to the number of the displayed screen symbol column respectively. From the information provided, the address calculator ADR calculates the address of the cell of the image memory BSP, in which the signal of the respective symbol to be displayed is contained. In order to create a continuous image, the kind of combination of row and column counter value as well as of the pulses of the movable switch VSS will depend on the order in which the symbol signals are stored in the image memory BSP. Examples of this will be given using Figs. 2, 4 and 5. But now the further components of the assembly according to Fig. 1 shall be described.

Between the address calculator ADR and the image memory BSP, an address multiplexer AMX is interposed which is controlled by the display device control SGS and can take two switching positions. In one switching position, it provides the addresses output from the address calculator ADR to the image memory BSP. It remains in the switching position as long as symbols are displayed with the display device SG, i.e. as long as the electron beam



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

is guided from one screen border to the other. During this blanking interval, i.e. as long as the electron beam of the display device SG is blank, these are essentially the times of the horizontal and the (vertical) image retrace, the multiplexer AMX is brought into the second switching position drawn with the dashed line, in which it connects the address input of the image memory BSP with an address collection ADB of a processor CPU. At the same time, the display device control SGS closes a data switch DAS such that during the blanking interval, the processor CPU can write or read symbol signals in or from the image memory BSP. This information on the temporal occurrence of the blanking intervals can be obtained by the computer CPU from the display device SG. It is also possible that the computer synchronizes the display device control via a line drawn in dashes and therefore sets the occurrence of blanking intervals by itself.

A working memory ASP of the computer CPU is further connected to the address collection line ADB and the data collection line DAB. During the light phase of the display device SG, i.e. when the multiplexer AMX is in the position marked by a continuous line, the computer can communicate with the memory without hindrance. It can also do this during the blanking interval, provided that the image memory BSP and the working memory ASP have different addresses or if a memory selection is possible in another way. In the embodiment according to Fig. 1, the computer can select the memory by means of a pulse delivered on a memory selection line SPW. This pulse sets, if necessary in connection with a clock pulse, a bi-stable flip-flop BK, which in the one switching position enables the working memory ASP for writing and reading and blocks the image memory BSP and which in the other switching position blocks the working memory ASP and enables the image memory BSP. Such an assembly prevents that the addressing volume of the working memory is limited by the image memory BSP. Correspondingly, further working or image memories can be connected to the address and data collection lines ADB and DAB, respectively.

Finally, a selection control unit, in the embodiment a light pen control LGS, is connected to the address calculator ADR, which takes the image memory address of the symbol that



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

has been selected by the light pen LG on the screen of the display device SG from the address calculator. This address is transmitted via the data line DAB to the computer CPU. Since by touching the screen with the light pen, the light pen control is provided directly with the image memory address and not with the number of the symbol place on the screen, the coordinate transformations otherwise necessary are not needed. This means that the display device calculator is relieved from the transformation of relative addresses into absolute image memory addresses.

For the storage of the symbol signals in the image memory BSP, there are essentially two possibilities. One is that the signals of symbols to be displayed successively in row direction are stored at successive addresses, wherein the symbol signals of neighboring symbol rows are contained in successive memory regions. This corresponds to the usual storage of symbol signals for one image that can be displayed as a whole on the screen of a display device.

The stored symbol signals can therefore be viewed as a single large image, as shown in Fig. 2. The large image shown there consists of $(X+1)$ columns and $(Y+1)$ rows. In the embodiment, the number of columns is 256 and the number of rows is 128. But only $(y+1)$ columns and $(y+1)$ rows can be displayed on the screen of the display device, e.g. 64 columns and 32 rows. In the image memory BSP, the symbol signals are stored in the memory cells 0 to 255 which are to be displayed in row 0 and columns 0 to 255. Accordingly, the symbol signals for line 1 and columns 0 to 255 are stored in memory cells 256 to 511, etc. The problem is to read from the stored signals the ones determined by the movable switch in such an order that a complete, continuous image is obtained on the screen of the display device. To this purpose, coordinates X_j , Y_i are created for the origin of the image to be displayed with the movable switch. This can happen in the way that, depending on the position of the movable switch, pulses regarding the forth and/or back inputs of shift counters for the row and the column direction are given. By such a device, the coordinates X_j , Y_i can be continuously changed and therefore the origin of the image to be displayed



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

can be shifted. From these coordinates, the image memory address for a symbol to be displayed in a place F is calculated according to the formula

$$G1 = X (Y_i + y_k) + X_j + x_l$$

In this formula, y_k means the value of row counter ZY and x_l the value of the column counter ZX. The number X of columns of the large image or the symbols displayable in row direction respectively is most usefully stored in a format register. The address calculator can then calculate the addresses for the image memory according to the formula given above, wherein the symbol signals are read in the order in which the symbols are displayed on the screen. The rectangle drawn with a thick line in Fig. 2 can be viewed as a window through which the symbols of the large image become visible. By moving the window, all regions of the large image can be made visible.

Figure 3 shows the schematic circuit diagram of an address calculator for addressing an image memory, in which the signals for symbols to be displayed successively are stored in successive cells of the image memory and the symbol signals of neighboring symbol rows are contained in successive memory regions. The row respectively the column counter is designated - as in Fig. 1 - by ZY and ZX. A bi-directional counter VX1 is provided with pulses of the non-represented movable switch VSS (Fig. 1) for shifting the image in horizontal direction. A bi-directional counter VY1 can be provided with pulses for shifting the image in vertical direction. In a format register RX1, the number X of the symbols contained in one large image row is stored. The two counters VX1, VY1 and the format register RX1 can be loaded from the computer via the data line DAB, such that, at the start of the display, always a determined section of the large image is represented. The value X_j of the column shift counter VX1 is provided to the input of a column adder ADX1 whose other input is connected to the column counter ZX1. The result of the addition is provided at the input of an image address adder BSA1.



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

The value Y_i of the row shift counter $VY1$ and the content ZY of the column counter are added in a row adder $ADY1$, at the output of which the one input of a multiplier $MLP1$ is connected, whose second input is provided with the content X of the format register $RX1$ and at the output of which the second output of the image memory address adder $BSA1$ is connected. This provides the address $G1$ for the image memory.

Downstream of the output of the row shift counter $VY1$, a gate circuit TY is interposed and downstream of the column shift counter $VX1$, a gate circuit TX is interposed which are controlled by the row and the column counter ZY and ZX , respectively. They block the output signals Y_i and X_j at determined counter values such that the image regions given by these counter values are not shifted and fixed images are displayed there. Details of these blocking circuits are described with reference to Figs. 7 and 8.

If the joystick is steered to the right or to the left, the content of the column shift counter $VX1$ is incremented or decremented, respectively. For this reason, the value X_{j+1} or X_{j-1} respectively is added to the respective column counter value x_i , i.e. the represented image region is shifted to the right or to the left, respectively, by one column.

If the joystick is, however, steered upwards or downwards, then the value of the row shift counter $VY1$ is incremented or decremented, respectively. For this reason, the value $(Y_i+1) \cdot X$ respectively $(Y_i-1) \cdot X$ is added to the respective row counter value y_k , i.e. the represented large image region is shifted upwards or downwards, respectively, by one row.

By continuous actuation of the joystick, the shift counters $VX1$, $VY1$ can be incremented or decremented repetitively, whereby the image region can be shifted in all directions over the large image.

If the column shift counter $VX1$ is incremented or decremented, not by 1, but by $x+1$ and the row shift counter $VY1$, not by 1, but by $y+1$, the represented image region is not



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

shifted by one column or one row, but by an entire partial image. Thereby, it is possible, e.g. by actuating a switch in the joystick, to "browse" the large image using the joystick.

By purposefully loading the shift counter VX1, VY1, the computer can switch an arbitrary image region to the display device.

In Fig. 4, a different kind of organization of the image memory BSP (Fig. 1) is illustrated, consisting in that the image stored in the image memory is divided into partial images B0, B1, B2, ... with $x+1$ columns and $y+1$ rows each, whereby each partial image is displayable as one image on the screen. The symbol signals for the partial images are each contained in a continuous image memory region having $x \cdot y$ memory cells, whereby the characters of symbols to be displayed successively are stored in successive memory cells and the signals of successive symbol rows of single partial images are contained in successive memory regions. The image memory regions for partial images to be displayed side by side can (but do not have to) be in succession; also neighboring partial image rows can be allocated to neighboring memory regions.

Most usefully, the movable switch cooperates again with the shift counters; a format register stores the number x of the columns contained in a partial image. The column shift counter can be constructed in such a way that it outputs the number m of the partial image row in which the origin of the represented image is, as well as the number x_j of the symbol column in which the origin of the represented image is, separately. Accordingly, the row shift counter can output the number m of the partial image row and the number y_i within the partial image in which the origin of the represented image lies, separately. Using such an organization of the image memory, the address calculator calculates the address G2 for the image memory according to the formula

$$G2 = B_i \cdot y \cdot x + (y_i + y_k) \cdot x + (x_j + x_l),$$



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISLER

wherein B_i signifies the number of the partial image in which the origin of the represented image lies, y_k the value of the row counter and x_l the value of the column counter.

Figure 5 shows a circuit assembly for calculating the addresses of an image memory that is organized such that the large image is divided into partial images. This circuit assembly according to Fig. 5 is constructed similar to Fig. 3. It contains a format register RX2 in which not the entire number of columns of a large image is stored, but only the number x of a partial image. The row shift counter VY1 is again a bi-directional counter receiving pulses from the movable switch whenever it is moved upwards or downwards. At one output, namely at the higher-order positions, the number n of the partial image row is output in which the origin of the represented image shall lie, at another output, the lower-order positions, the number y_i of the symbol row within the partial image row n is output, in which the origin of the represented image lies. This value is added by a row adder ADY2 to the value y_k of the row counter.

Accordingly, a column shift counter VX2 is constructed, outputting at one output the number m of the partial image column and the number x_i of the symbol column in which the origin of the partial image lies, respectively. The number x_j is added to the value x_l of the column counter in an adder ADX2 and provided to a partial image address adder TBA, the second input of which is connected to a multiplier MLP2, which multiplies the output values of the row adder ADY2 and the format register RX2.

Further, a partial image limit comparator YV is provided which compares the output value y_i of the row shift counter VY2 with the value y_k of the row counter ZY. It is used for determining whether symbols of another partial image must be displayed. An according partial image limit comparator XV compares the value x_j of the column shift counter VX2 with the value x_l of the column counter ZX. The meaning of these partial image limit comparators will be explained in the following with reference to Fig. 2. The image represented there framed by a thick line extends over four partial images B5, B6, B9 and B10. The partial image limit comparator XV signals if there is a transition from partial image B5



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISLER

to partial image B6 or from partial image B9 to partial image B10. In contrast, the comparator YV delivers a signal if there is a transition from the partial image B5 to the partial image B9 or from the partial image B6 to the partial image B10.

A partial image decoder TBD1, which can essentially consist of a fixedly programmed memory, is provided in addition to the partial image row number n and the partial image column number m with the output signals of the partial image limit comparators YV and XV. From these signals, it decodes the partial image which is to be displayed, forms the according base address $B_i \cdot x \cdot y$ and outputs it to the input of an image memory address adder BSA2, whose other input is provided with the output signal of the partial image address adder TBA. The output signal of this adder BSA2 is the respective address of the image memory.

The shift counters VY2 and VX2 can again - as in the assembly in Fig. 3 - be set to a predetermined value such that, if the values y_i and x_i are set to zero after switching on the voltage, a partial image predetermined by the value n and m is displayed. If now the movable switch is steered to the left or to the right, the value of the column shift counter VX2 is incremented or decremented, respectively. The same holds for the column shift counter VY2, if the joystick is steered upwards or downwards. For this reason, the values y_i+1 or y_i-1 are added to the respective value of the row counter and the values x_j+1 or x_j-1 are added to the value x_i of the column counter ZX and the displayed image region is shifted accordingly over the single partial images to the left, to the right, downwards or upwards.

The output signals of the movable switch can be given to the shift counter with such a valency that the values n and m are increased or decreased by 1 respectively, so that one can "browse" in the image memory with the help of the joystick.

By means of blocking circuits TY1, TY2, TX1, TX2, the shift counters and therefore the movable switches can be rendered ineffective such that if these blocking circuits are con-



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

trolled dependent on the row and the column counter value, certain regions of the displayed image cannot be shifted.

Figure 6 shows a modification of the assembly according to Fig. 5. The shift counters are constructed in the same way as in the assembly of Fig. 3. Therefore, they are also designated by VY1 and VX1. Also, the row and column adders interposed after them are in concordance with the assembly according to Fig. 3 and are therefore designated by ADY1 and ADX1. Their higher-order positions m and n , respectively, indicate the partial image column and the partial image row, respectively, in which the partial image lies, from which a symbol is to be displayed. These values n , m are provided to a partial image decoder TBD2, which determines therefrom a starting address $BY \cdot x \cdot y$ of the respective partial image and provides it to the image memory address adder BSA2. The lower-order positions y'_i of the row adder ADY1 are multiplied with the context x of the format register RX2 by a multiplier MLP2, to the output of which the partial image adder TBA is connected, which is further provided with the lower-order positions x'_j of the column adder ADX2 and to which the second input of the image memory address adder BSA2 is connected. Partial image limit comparators are not necessary in the assembly of Fig. 6, since at the transition to another partial image, the higher-order positions n and m , respectively, are increased by adder ADY1 and ADX1 by 1 respectively. After the shift counters VY1, VX1 gate circuits TY, TX can be interposed, in order that certain parts of the image cannot be shifted.

It has been mentioned several times that with the help of gate circuits TX, TY, parts of the displayed image can be excepted from the moving. Such image parts are for example virtual keyboards, notification parts and scalings. Fig. 7 shows details of such a gate circuit. The output signals n , m , y_i , x_j of the shift counters are guided over a gate circuit assembly T1 which is controlled by a coincidence element KG1, to the two inputs of which the output signals of write/read memories RMY and RMX are provided, whose address inputs are connected to switches US1 and US2. These switches can for example be switches synchronous with the address multiplexer AMX of the assembly in Fig. 1, so that they are in



BARDEHLE
PAGENBERG
DOST
ALTENBURG
GEISSLER

the position marked by the continuous line during the light phase of the display device. During the blanking phase, they are in the position marked by the dashed line in which they connect the address collection line ADB of the computer with the address input of the memory RMY, RMX. In this phase, the memories having one 1-bit memory cell per symbol place on the screen of the display device, can be loaded, by e.g. writing a "1" into the memory cells which are associated with symbol positions in which the image shall not be shifted. If then during display of the symbols at these positions, the associated values y_k , x_l of the row and the column counter are provided to the memories RMX, RMV, these emit a "1" signal such that the coincidence element KG1 of the gate circuit T1 blocks and therefore other, predetermined addresses of the image memory are accessed.

Usually, the notification element consists of one or more rows and the virtual keyboard also of one or more key rows. Therefore, it is often sufficient to extend the fixed image regions over the total image breadth by doing without the memory RMX as well as the switch US2 and the coincidence element KG1.

Figure 8 shows an assembly in which both read and write memories RMY and RMX of the assembly in Fig. 1 have been replaced by fixedly programmed memories PMY, PMX. To these, a coincidence element KG2 is connected which controls a switch consisting of two gate circuits T2, T3. The programmed memories PMY, PMX are provided again with the contents of the row and the column counters as addresses. If both memories simultaneously emit a "1" signal, the gate circuit T2 is blocked and the gate circuit T3 is opened such that in the computing circuit, interposed thereafter, the output signals y_i , x_j and if necessary, n and m of the shift counter are replaced by the value of a register REG and a region of the image memory determined by the content of the register REG is read out.

If the higher-order address inputs of the programmable memory PMY, PMX are connected to the outputs of a region register BRG, by loading this register, one can choose from multiple pre-programmed image divisions, e.g. the part of the image that is not movable can be shifted from the lower image border to the upper or from the right to the left.

ZEICHNUNGEN BLATT 1

Nummer: 2839868
 Int. Cl.³: G09G 1/02
 Veröffentlichungstag: 3. Juni 1982

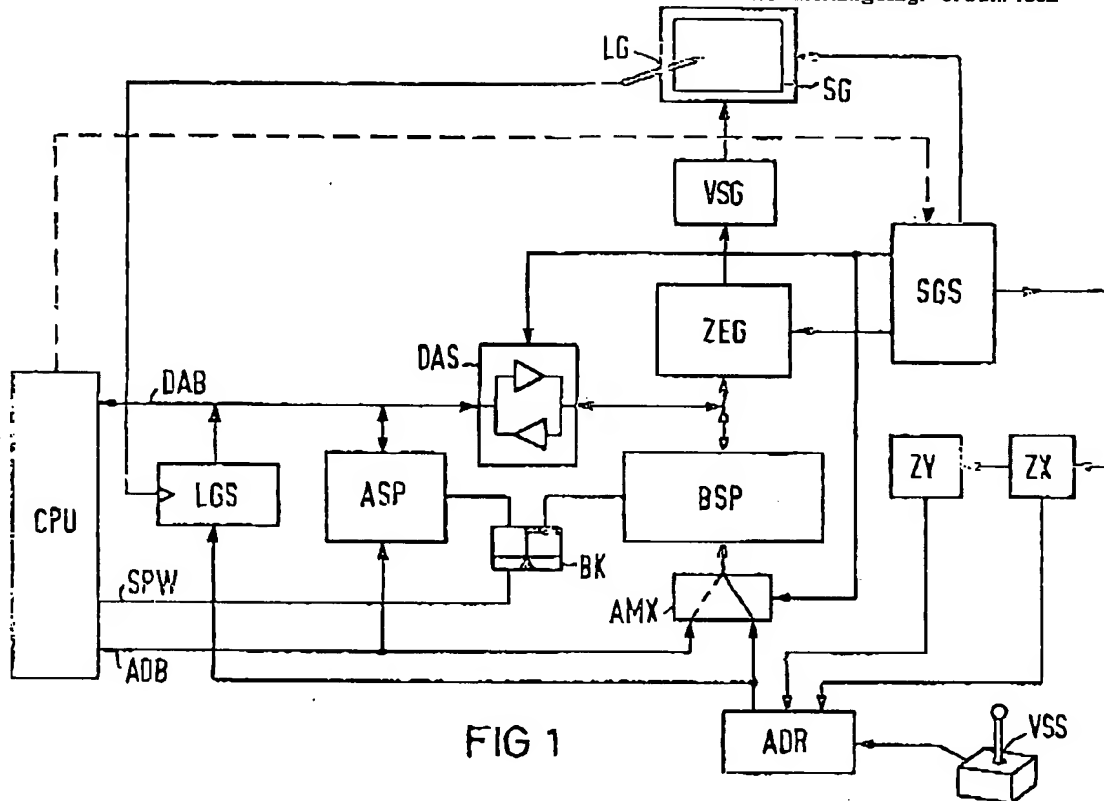


FIG 1

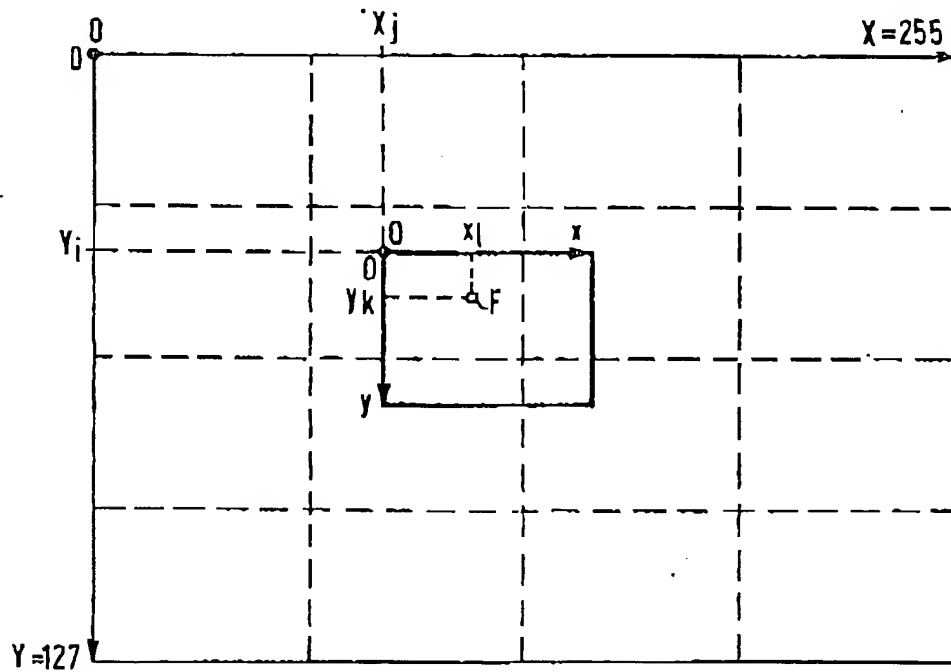
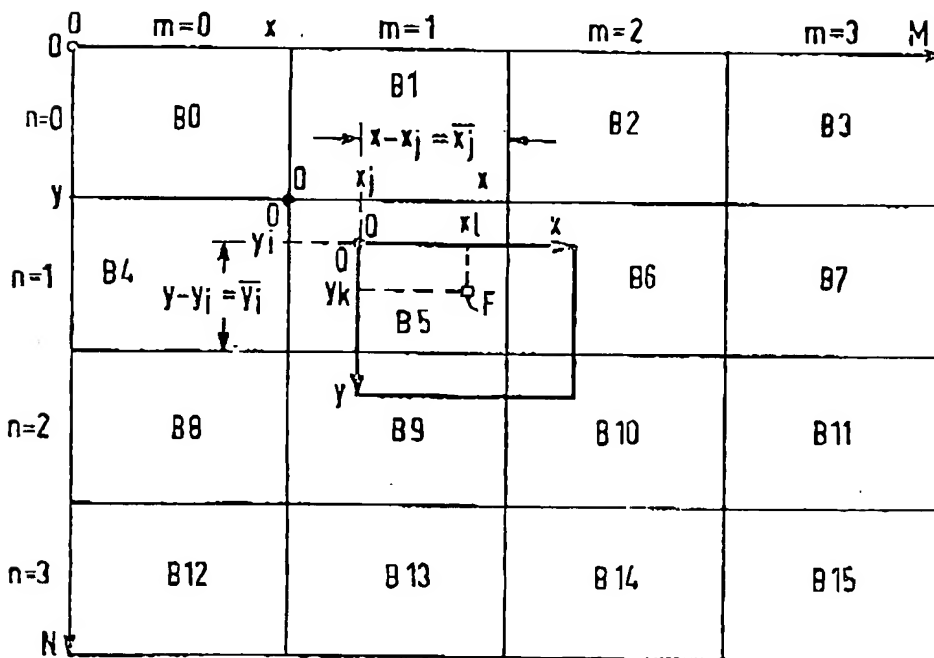
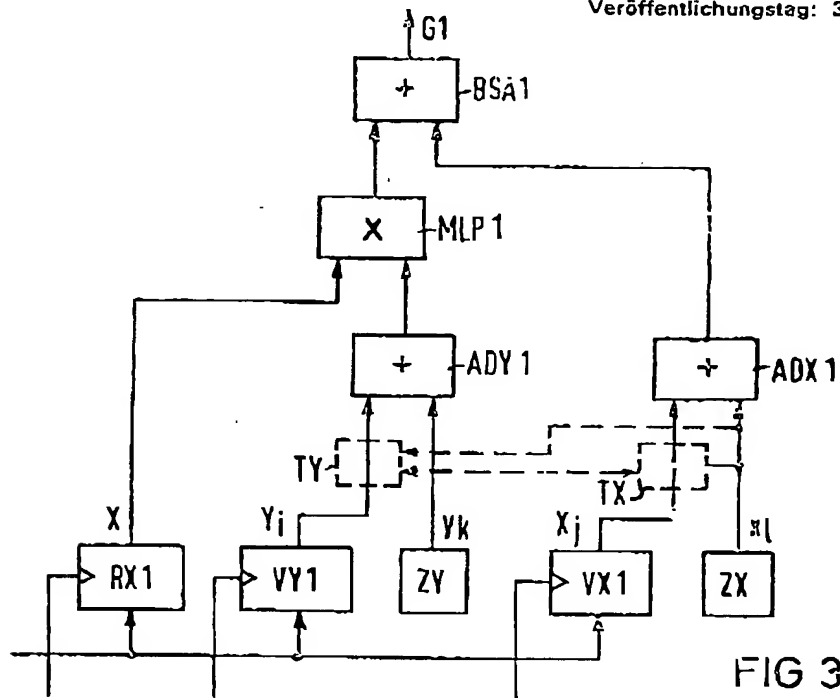


FIG 2

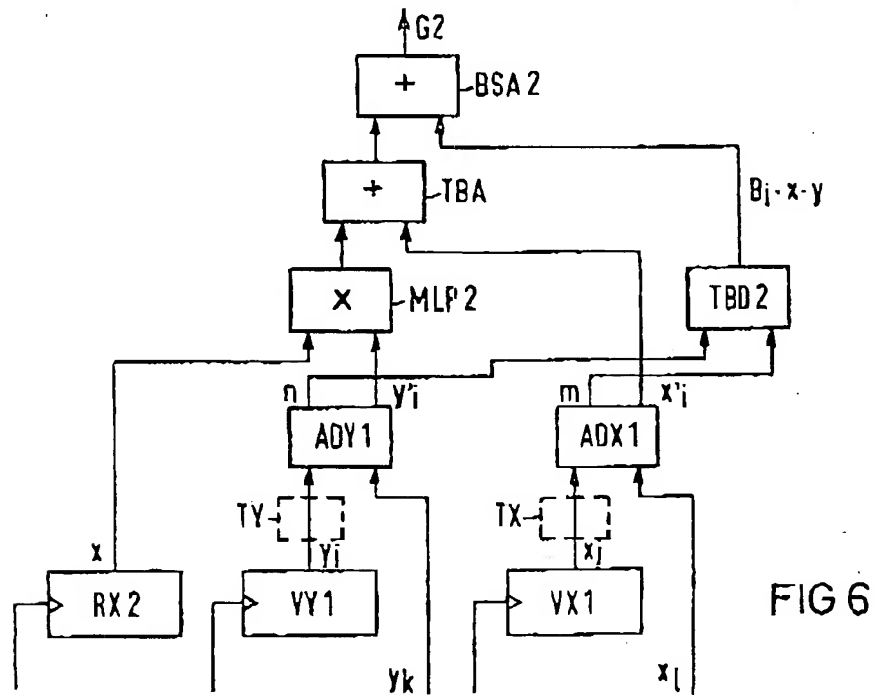
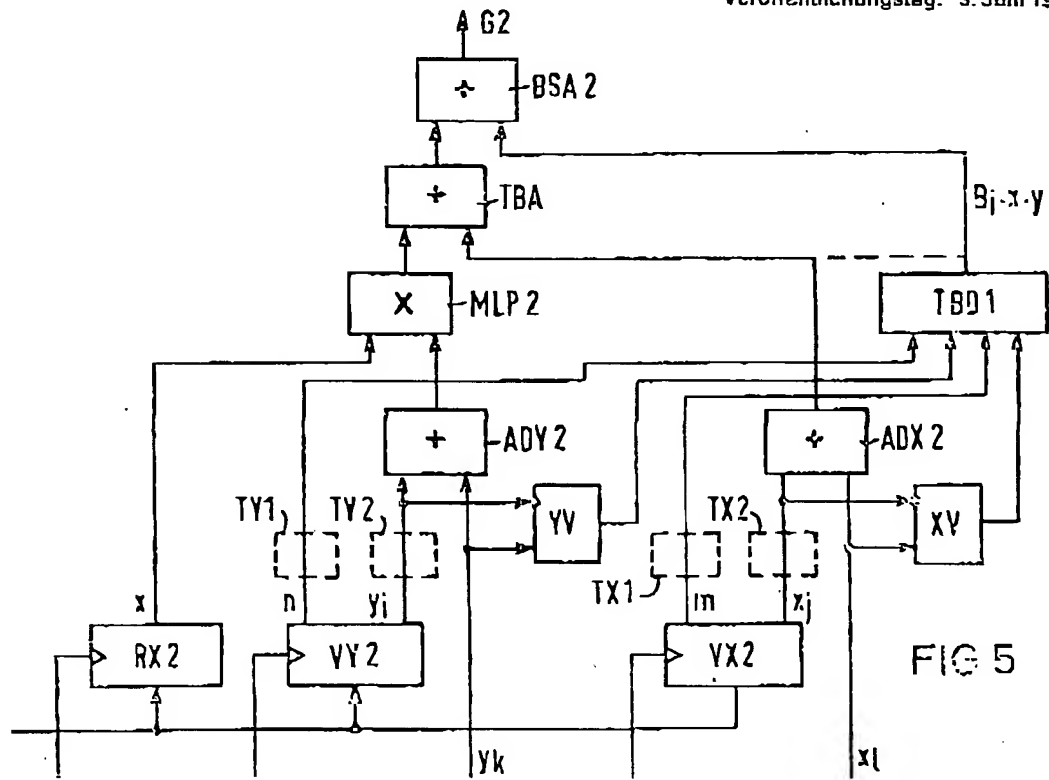
ZEICHNUNGEN BLATT 2

Nummer: 2839885
 Int. Cl.³: G09 G 1/02
 Veröffentlichungstag: 3. Juni 1982



ZEICHNUNGEN BLATT 3

Nummer: 28 39 888
Int. Cl.: G 09 G 1/02
Veröffentlichungstag: 3. Juni 1982



ZEICHNUNGEN BLATT 4

Nummer: 2839888
Int. Cl.³: G 09 G 1/02
Veröffentlichungstag: 3. Juni 1982

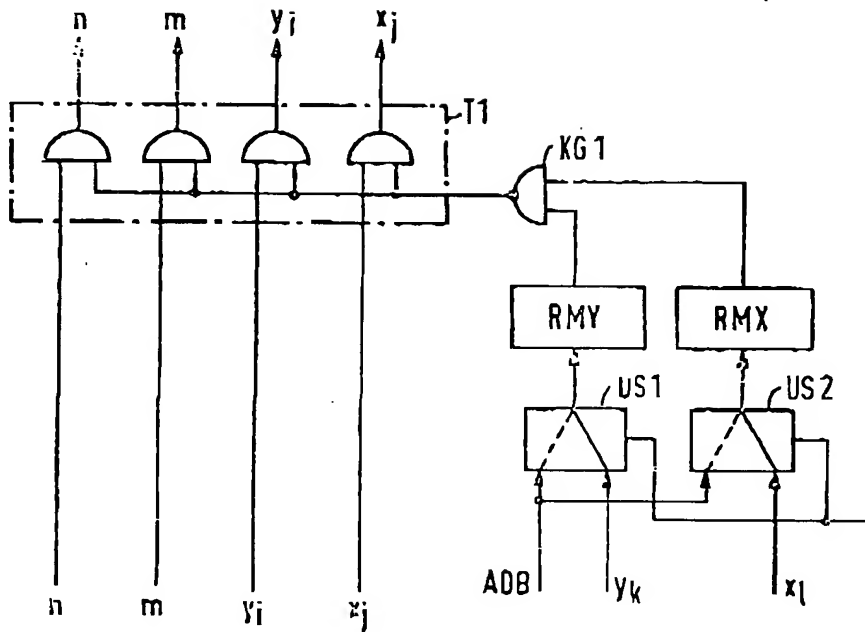


FIG 7

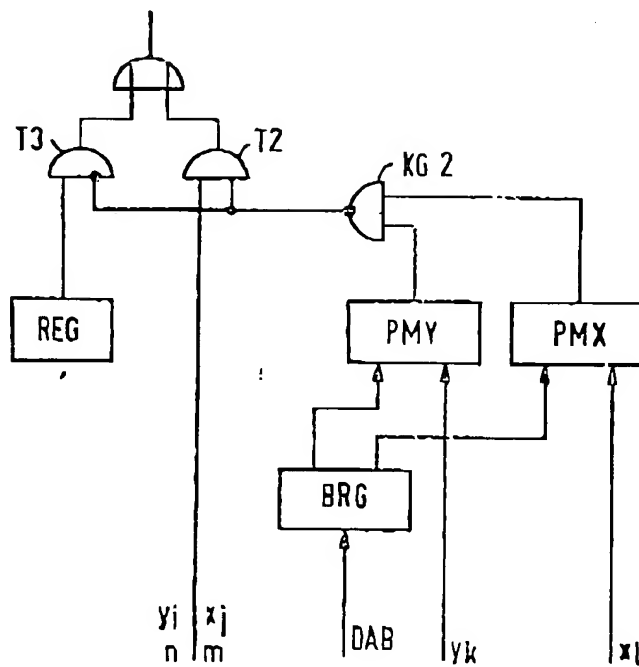


FIG 8

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)